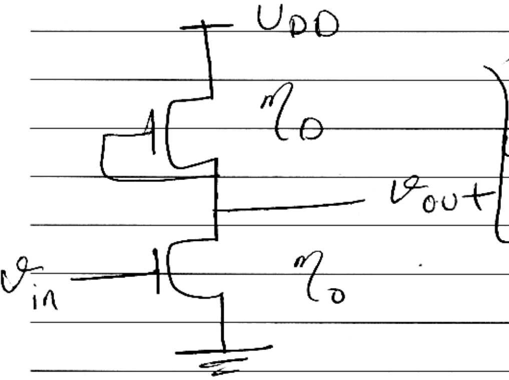
$\Rightarrow K_L/۲\,(V_{DD}-V_{out}-V_{tL})^۲$

$= K_o[(V_{in}-V_{to})V_{out} - V_{out}^۲/۲]$ ①

$\frac{dV_{out}}{dV_{in}} = -1 \xrightarrow{\qquad} ۲ \Rightarrow ۴\ ۲ \Rightarrow V_{in} = V_{IH}$

معکوس کننده NMOS با بار تهی (تخلیه‌ای)



$$\begin{cases} V_{GSO} = V_{in} \\ V_{DSO} = V_{out} \\ V_{GSD} = 0 \\ V_{DSD} = V_{DD} - V_{out} \end{cases}$$

$M_D : V_{tD} < 0$

$V_{GSD} = 0 > V_{t\textcircled{L}}$ V_{tD}?

همواره روشن

به حالت روشن کار را یاد بگیریم بجای فرمول . تا دچار اشتباه نشویم.

M_O مقادیرکم خروجی ← high

ورودی high ← low

مقادیرکم زیاد می‌شود.

M_D : G , S $\rightarrow$ به هم متصل است ⇐ $v_{GSD} = 0$

چون M_D یک وضعیت ثابت ندارد ؟ آن تعریف سخت است.

⇐ عکسی تحلیلی

M_D: $v_{tD} < 0$ $v_{GSD} = 0 > v_{tD}$ همواره روشن

v_{DSD} $v_{GSD} - v_{tD}$

$v_{DD} - v_{out}$ $\underbrace{0 - v_{tD}}_{\text{عدد ثابت مثبت}}$

به اندازه ولتاژ آستانه باید v_{out} چه مقداری پیدا کند؟ بررسی کنیم

$\boxed{v_{OH}}$. تا رابطه را بررسی کنیم

v_{DSD}

$$v_{DD} - v_{out} \quad \left\{ \begin{array}{l} v_{in} = 0 \\ v_{out} \to v_{DD} \end{array} \right.$$

$v_{DD} - v_{DD}$

عدد ثابت مثبت > 0

$v_{GSD} - v_{tD} > v_{DSD}$ خطی

$\boxed{v_{IL}}$ $\left\{ \begin{array}{l} 1) \; v_{in} > v_t \\ v_{out} \rightarrow v_{DD} \end{array} \right.$

v_{OH} ش؟

$v_{GSD} - v_{tD}$ $\quad v_{DSD}$

[illegible] ۱: $\quad > \quad v_{DD} - v_{out}$

$v_{DD} - v_{DD}$

$\boxed{v_M}$ دقیقاً اینجا هر دو در اشباع هستن

اشباع دارد.

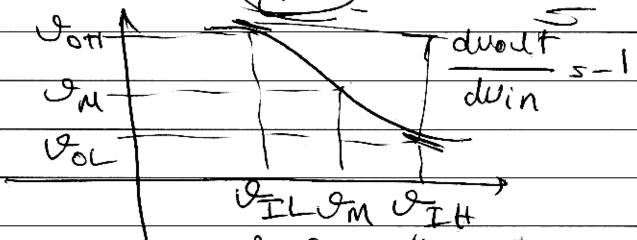
$v_{in} = v_{out} = v_m$

$v_{GSD} - v_{tD} \quad v_{DSD}$

$v_M - v_{tD} \quad < \quad v_{DD} - v_{out}$

$v_{DD} - v_m$

معمولاً در وسط اشباع است



v_m معمولاً از v_t بیشتر است

$\boxed{v_{OL}}$

low فردی

high زوجی

v_{DSD} $v_{GSD}-v_{tD}$

$\left.\begin{array}{l} v_{in} \to v_{DD} \\ v_{out} \to 0 \end{array}\right.$ $v_{DD}-0 >$ عدد ثابت اشباع

$\boxed{v_{IH}}$ $\left\{\begin{array}{l} v_{in} \to v_{DD}\searrow \\ v_{out} \to 0\uparrow \end{array}\right.$

$v_{DD}-0\uparrow >$ عدد ثابت اشباع

میزان	η_O	η_D
v_{OH}	قطع	خطی
v_{IL}	sat	خطی
v_M	sat	sat
v_{IH}	خطی	sat
v_{OL}	خطی	sat

مثال • مقادیر نقاط بحرانی را بدست آورید.

$v_{TD} = -۲V$

$v_{TO} = ۱V$, $v_{DD} = ۵$ ولت, $K' = ۲۰ \mu A/v^2$

$(W/L)_D = ۱۰\mu m/۴۰\mu m$, $(W/L)_O = ۱۰\mu m/۱۰\mu m$

$\boxed{V_{OH}}$ $I_{DSO} = 0 \Rightarrow I_{DSD} = 0$

$I_{DSD} = K[(v_{GSD} - v_{TD})v_{DSD} - v_{DSO}^{۲}/۲]$

$\Rightarrow v_{DSD} = 0$

$\Rightarrow v_{DSD} = v_{DD} - v_{out} = 0 \Rightarrow v_{OH} = v_{OUT} = v_{DD}$

۵ ولت

$\boxed{V_{OL}}$ $I_{DSO} = K_O[(v_{GSO} - v_{TO})v_{DSO} - v_{DSO}^{۲}/۲]$

$I_{DSL} = K_L/۲(v_{GSL} - v_{TL})^{۲}$

$\Rightarrow$ برای اینکه به طراح فرصت اینرا بدهند طول و عرض کانال را محاسبه کند
از K' استفاده می‌کنند.

$۲۰ \times 10^{-۶} \times ۱۰/۱۰ [(۵-۱)v_{out} - v_{out}^{۲}/۲]$

$v_{in} = high = v_{OH} = ۵$ ولت

$\Rightarrow ۲۰ \times 10^{-۶}/۲ \times ۱۰/۴۰ . (0-(-۲))^{۲} \Rightarrow v_{OL} = v_{out}$

۰٫۱

$\boxed{V_M}$ $K_O/۲(v_{GSO}-v_{TO})^۲=I_{DSO}$

$$I_{DSD}=K_D/۲(v_{GSD}-v_{TD})^۲$$

$\Rightarrow v_{in}=v_{out}=v_m$

$۹۰\times 10^{-۶}/۲\times ۱۰/۱۰(v_m-۱)^۲=\frac{۲۰\times10^{-۶}}{۲}\times\frac{۱۰}{۴۰}(۰-(-۲))^۲$

$\Rightarrow v_m \begin{cases} ۲ & \text{ق ق} \\ ۰ & \text{غ ق ق} \end{cases} \longrightarrow$ چون باید روشن باشیم غ ق ق است.

$\boxed{v_{TH}}$ $\begin{cases} I_{DSO}=K_O[(v_{GSO}-v_{TO})v_{DSO}-v_{DSO}^۲/۲] \\ I_{DSL}=K_L/۲(v_{GSO}-v_{TO})^۲ \end{cases}$

$\Rightarrow ۲۰\times10^{-۶}\times۱۰/۱۰[(v_{in}-1)v_{out}-v_{out}^۲/۲]$ ①

$=۲۰\times10^{-۶}/۲\times۱۰/۴۰(۰-(-۲))^۲$

$\Rightarrow dv_{out}/dv_{in}=-1\Rightarrow((v_{in}-1)dv_{out}/dv_{in}+v_{out}$

$-\ dv_{out}/dv_{in}\ v_{out}=0$

$\Rightarrow(v_{in}-1)(-1)+v_{out}+v_{out}=0$

$$1-v_{in}+۲v_{out}=0 \quad ②$$

۱،۲ → $v_{in} = v_{IH} = ۴،۲۸$

$\boxed{v_{IL}}$ $I_{DSD} = K_D\left[(v_{GSD} - v_{tD})\, v_{DSD} - \frac{v_{DSD}^{۲}}{۲}\right]$

$I_{DSO} = K_O/۲\,(v_{GSO} - v_{tO})^{۲}$

$\Rightarrow ۲۵\times۱۰^{-۶} \times ۱۰/۴ \cdot [(۰ - (-۲))(۵ - v_{out})$

$- (۵ - v_{out})^{۲}/۲] = ۲۵\times10^{-۴} \times 10/10\,(v_{in} - ۱)^{۲}$

$dv_{out}/dv_{in} = -۱$

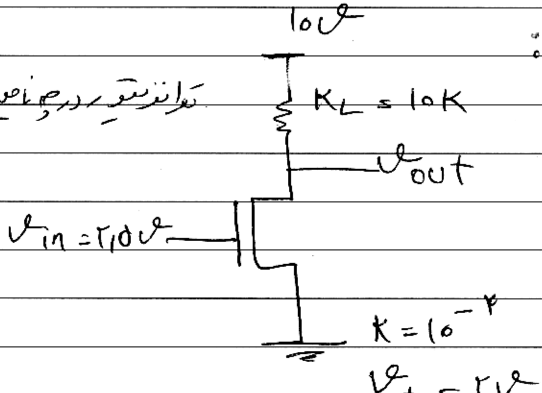
$\longrightarrow$ ۲ معادله ۲ مجهول

$v_{IL} = v_{in} = ۱،۴۵$

۱،۲ $\rightarrow$

تمرین ۱:

ترانزیستور در چه ناحیه‌ای عمل می‌کند؟

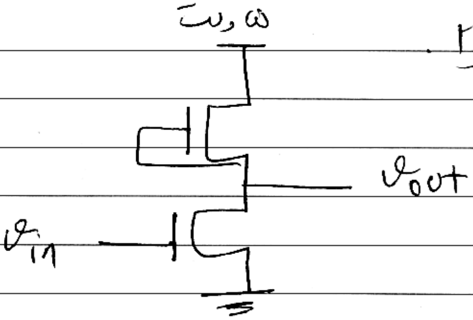


Subject: Date:

تمرین ۲.

$v_{OH} = ?$

$v_{OL} = ?$



تخلیه‌ای

$|v_t| = ۲\ v$

$w/l = ۲$

عادی $|v_t| =$ ۱ ولت , $w/l = ۴$

$K' = ۲۰\ \mu A/v^2$ برای هر دو یکسان است.

پروژه‌ی درس

سوئیچ دیجیتال و SRAM

که منطقی از ترانزیستورهای استفاده می‌شد.

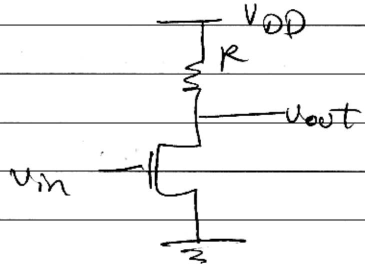
۴ مورد در ۳ مورد به صورت هم

با استفاده جزئی در اینجا با MOSFET

Pilavaran

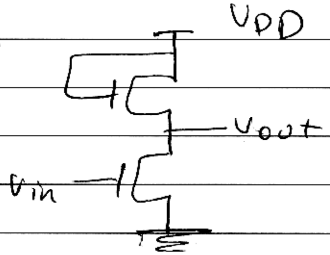
چطور با استفاده از NMOS گیت‌هایی که می‌خواهیم را فراهم کنیم؟

۱- ساده NMOS

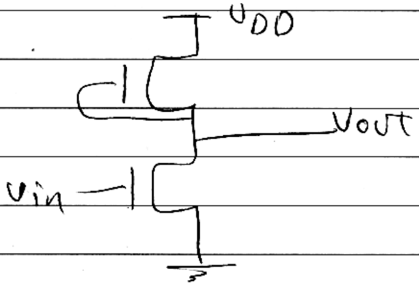

VDD
R
Vout
Vin

در high ضعیف عمل می‌کند
ولی مقاومت خیلی زیادی
را اشغال می‌کند

۲- p
افزایشی

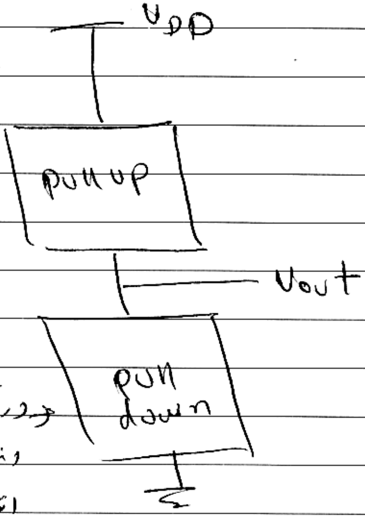

VDD
Vout
Vin

۳- کاهشی


VDD
Vout
Vin

به طور کلی تقسیم‌بندی را هم با NMOS گیت‌ها را هم به قسمت pullup داریم

pullup ← زمانی که بخواهیم high و ترانزیستور دیگری داشته باشیم



و در جهت یک طرف مدار به ولتاژ پایین‌تر را مدار انتقال به زمین یا ولتاژ پایین‌تر اتصال می‌دهیم.

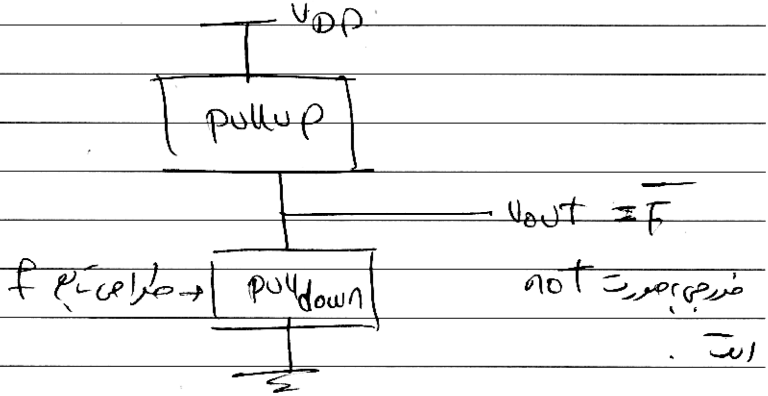
NMOS با مقاومت - افزایشی - کاهشی می‌توانند در pullup قرار بگیرند

با مقاومت هیچ تفاوتی ندارد کدام را انتخاب کنیم ولی ترجیحاً NMOS

کاهشی را انتخاب می‌کنیم چون علاوه بر مقاومت جای زیادی را نمی‌گیرد و $V_{OH} = V_{DD}$ خوب است.

← اگر طراح گفته از چه pullup استفاده کنیم از کاهشی استفاده می‌کنیم

مثبت pull down جزو است که طراحی تابع f را انجام میدهیم


VDD
pullup
Vout = F̄
طراحی تابع f →
pulldown
خروجی به صورت not است .

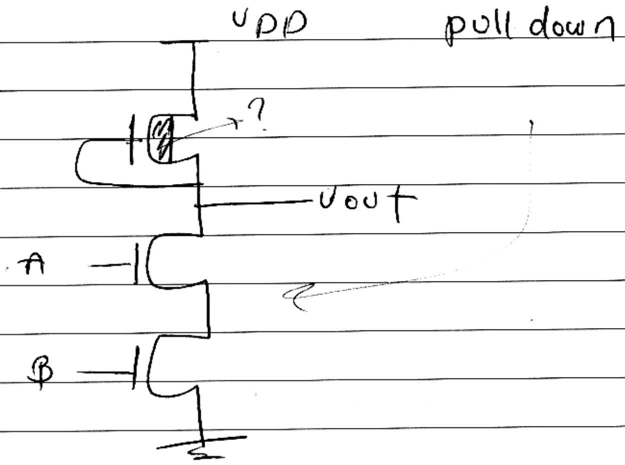
ساده‌ترین نوع گیت not بود که تحلیل را هم انجام داده بودیم .

طراحی NAND

	A	B	Vout
هر دو خاموش	L	L	H
خاموش	L	H روشن	H
	H	L	H
	H	H	L

pullup ← NMOS گاهی

$\overline{AB}$



NMOS وقتی low میگیرد ← خاموش

〃 〃 high 〃 ← روشن

وقتی هر دو خاموشند ترانزیستور op روشن Vout H میشود.

اگر یکی از ورودی ها high باشد. (B)

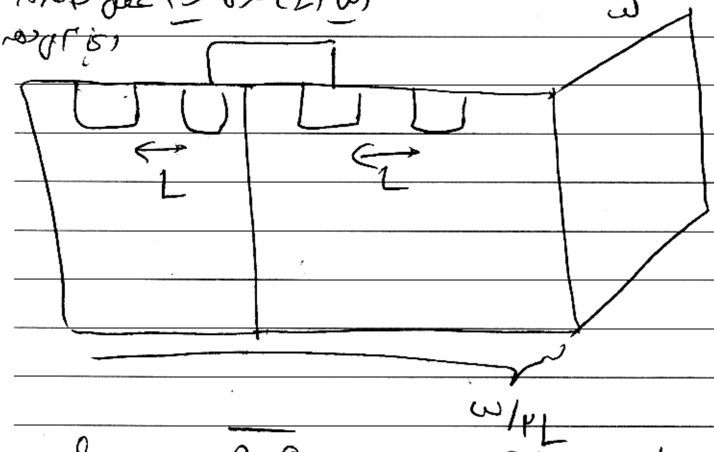
A خاموش مثل این است که یک قطعی است ⇐ خروجی به زمین نمی‌رسد

برای همین شکل مدار داشته باشد ⇐ high ← Vout

A,B ← high

یک مسیر داریم که به V_{OL} برسیم. یعنی خروجی مقدار low پیدا کند

این ۲L سری کردیم عمل AND انجام دهم



$v_{out} = \overline{A.B}$ که بعد عمل not انجام می‌دهم

حرف کردن اینها مثل این است ترانزیستور کنار هم داشته باشیم D و S

را به هم وصل کردیم پهنای w برای هر دو است.

فقط وقتی D روشن می‌شود عمل معادل با این است ما

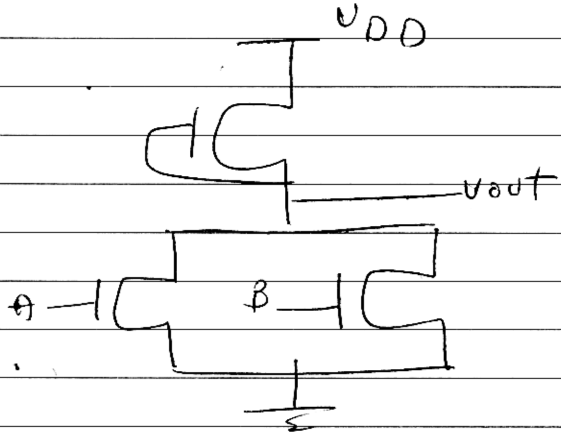
هم ما داشته باشیم. بجای اینها انگار یک ترانزیستور داریم که ۲L طول و

پهنایش w است.

در NAND هیچ تفاوتی نمی‌کند. ولی در NOR متفاوت است.

طراحی گیت NOR

بجای اینکه ترانزیستورها را سری کنیم موازی می‌کنیم.



$V_{out} = \overline{A+B}$

	A	B	Vout
۱ خاموش هر دو	L	L	H
۲ خاموش	L	H روشن	L
۳	H	L	L
۴	H	H	L

H ← Vout ، L ← A,B

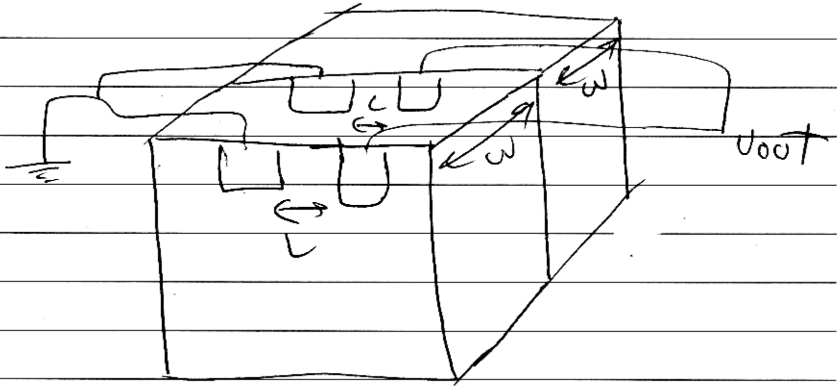
B روشن ⇐ H ← B

موازی هستند ⇐ از Vout به زمین یک مسیر وجود دارد

⇐ Vout ← L

A,B ← روشن مسیر به زمین وجود دارد

$V_{out\,4} < V_{out\,2,3}$



Sها به هم Dها به هم وصل است.

هرکدام W پهنای باند دارند. L طول کانال دارند.

برای هرکدام یک L/W وجود دارد. $K_2 = K' W/L$

در حالتی هر دو با شوند $K_4 = K' 2W/L$

K_4 و K_2 متفاوت است تأثیر در V_{out} چی ندارد.

K ها بیشتر شد. در حالت ۴ V_{OL} کمتر از ۲،۳ شود.

اگر مقاومت با [illegible]

$$\frac{V_{DD} - V_{OL}}{R_L} = K_4 \left[(V_{GS} - V_T) V_{DS} - V_{DS}^2/2 \right]$$

pull up = مقاومت

K_4 نسبت به K_2 ، ۴ برابر شده.

v_{OL} با K رابطه برعکس دارد

v_{OL} درست $\Leftarrow$ $v_{OL}\downarrow$ $\Leftarrow$ $K\uparrow$

۴ کمتر از v_{OL} مرحله ۲ است.

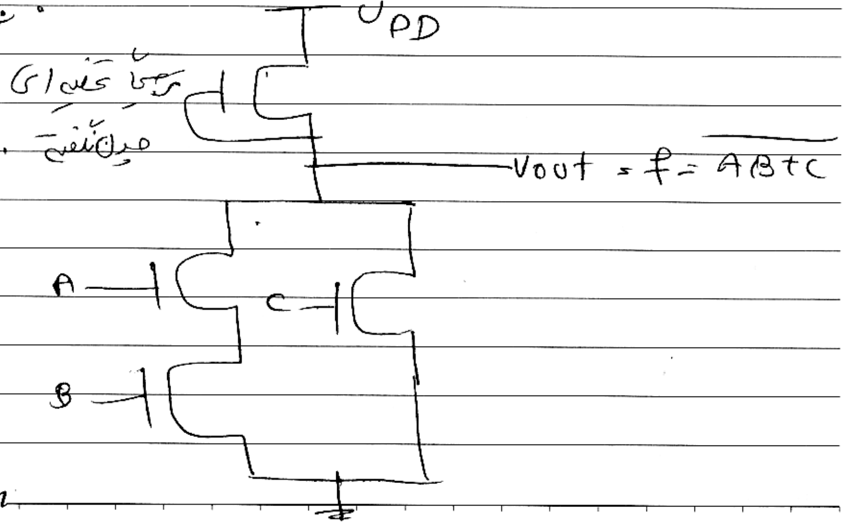
$v_{OL4} < v_{OL}$ ۲مر

دقت کن LOW است ولی دقیقاً صفر نیست.

مثال ۰ می‌خواهیم تابع f را پیاده سازی کنیم.

$F = \overline{AB+C}$

ج:


V_{DD}
ترجیحاً تخلیه‌ای
مدل تخلیه.
$V_{out} = f = \overline{AB+C}$
A
B
C

در polldown جدا می را انجام می دهیم خروجی notش

را انجام دهد.

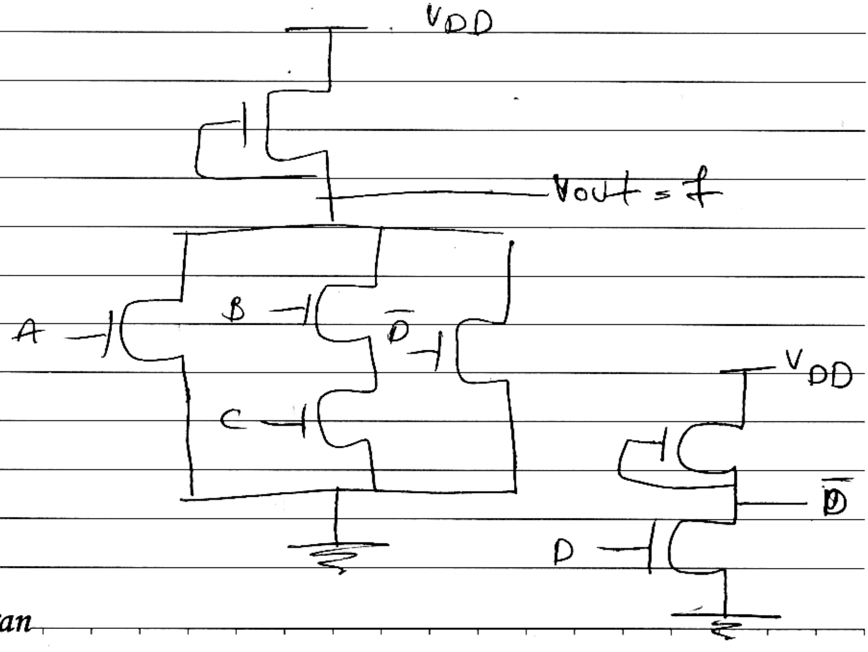
مثال. F را پیاده سازی کنید

$$F = \overline{A + BC + \overline{D}}$$

ورودی های مکمل را داریم که اگر در صورت سوال گفته شود.

می توانیم وصل کنیم اگر نگفته باشند باید مدار D را طراحی کنیم.

یعنی با فرض نداشته ها کاملاً جدا می کنند.
کامل.



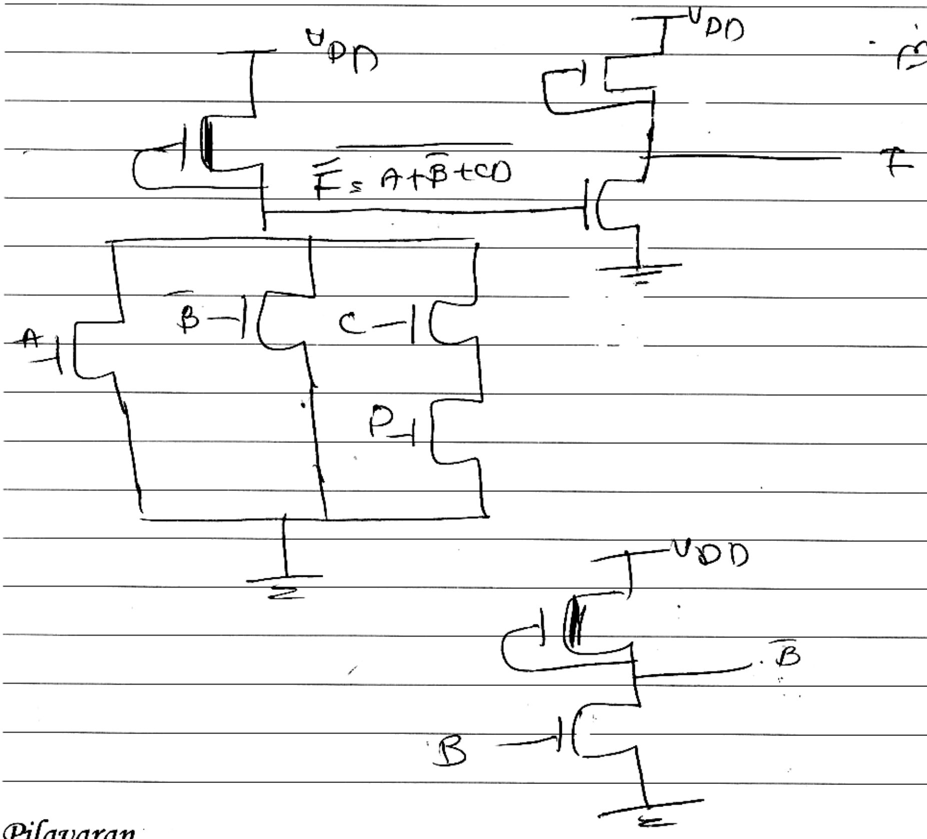
در همین جاهایی است که not را طراحی کنیم در نقیضش می‌توانیم وصل هم کنیم.

مثال. $F = A + \bar{B} + CD$

دو روش برای طراحی این تابع وجود دارد.

روش اول: می‌توانیم با روشی که تا به حال عمل می‌کردیم انجام دهیم.

چون F not ندارد باید خودش را رسم کنیم و در آخر یک بار notروش کنیم.



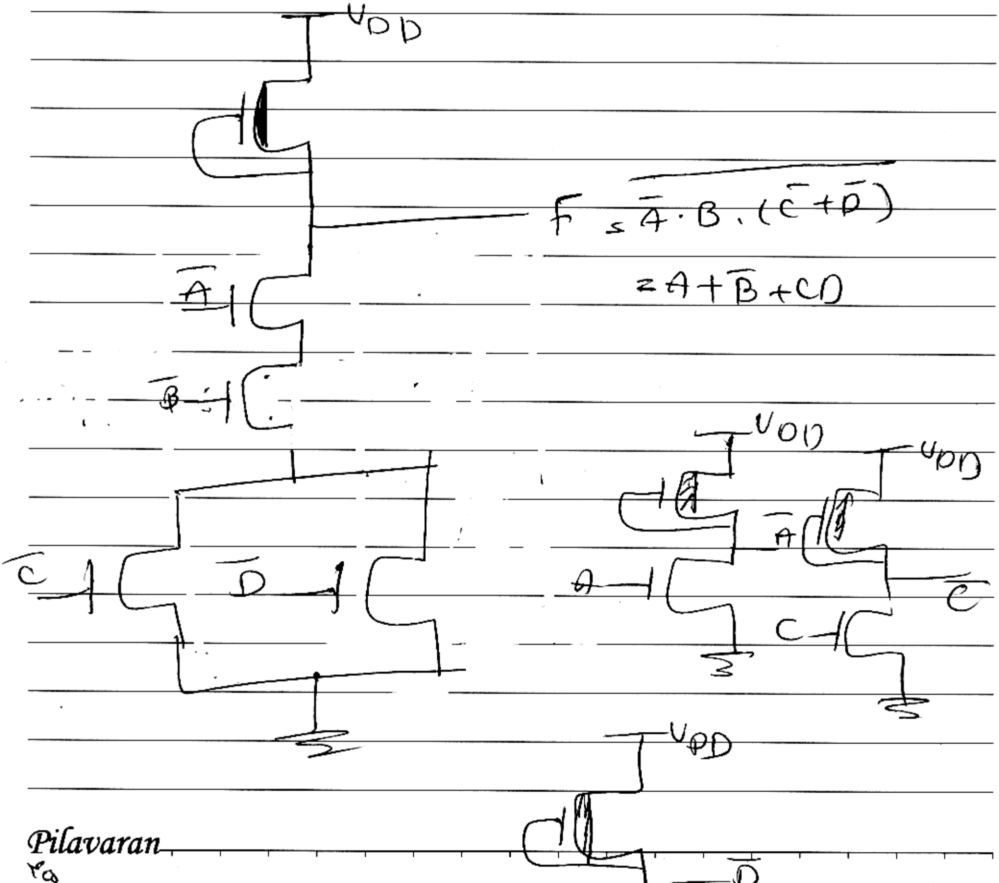
VDD
VDD
$\overline{F = A + \bar{B} + CD}$
F
A
B
C
D
VDD
$\bar{B}$
B

روش دوم: ترجیح می‌دهیم تعداد کل ترانزیستورهایی که استفاده می‌کنیم تا جایی که امکان دارد کمتر شود.

$$\overline{F} = \overline{A+\overline{B}+CD} = \overline{A}\cdot B\cdot \overline{CD}$$

$$\overline{F} = \overline{A}\cdot B\cdot(\overline{C}+\overline{D})$$

$$\Rightarrow F = \overline{\overline{A}\cdot B\cdot(\overline{C}+\overline{D})}$$



VDD
$F = \overline{\overline{A}\cdot B\cdot(\overline{C}+\overline{D})}$
$= A+\overline{B}+CD$
$\overline{A}$
B
C
$\overline{D}$
VDD
VDD
$\overline{A}$
A
$\overline{C}$
C
VDD
$\overline{D}$

برای این مثال شکل را رسم کردیم و تعداد ترانزیستورها را هم شمردیم

و با روش اول مقایسه کنیم اما در این جا روش دیگری را عنوان می کنیم

تا برای هر دو روش شکل را رسم کنیم. برای یک حالت شکل را رسم

کنیم و با روش تعداد ترانزیستورها را بشماریم!

روش ۱ در مثال قبل تعداد ترانزیستورها

به تعداد متغیر ترانزیستور لازم داریم. + هر مجموعه یک ترانزیستور

برای pullup لازم دارد با فرض استفاده از pullup

همه ترانزیستورهای + not ها هر کدام ۲ ترانزیستور لازم دارد.

$(۴+۱)+۲+۲=۹$

+ اگر مجموعه not نداشته باشیم
یک not دیگر باید براش بگذاریم
(همان مجموعه ابتدای مثال
قبل)

روش ۲ در مثال قبل

$$\underbrace{۴+۱}_{\text{جمع اصلی}} + \underbrace{۲×۳}_{\text{۳ ورودی not}} = ۱۱$$

=) در این جا روش ۱ بهتر است. چون تعداد ترانزیستورها

مثال.

$F = \bar{A} + B\bar{C} + \overline{DE}$

(۵+۱) + ۴×۲ + ۲ = ۱۶

$\bar{F} = \overline{\bar{A} + B\bar{C} + \overline{DE}}$

$\bar{F} = A \cdot \overline{B\bar{C}} \cdot DE \Rightarrow \bar{F} = A \cdot (\bar{B}+C) \cdot DE$

$F = \overline{A \cdot (\bar{B}+C) \cdot DE}$

(۵+۱) + ۲ = ۸

ج) از روش ۲ میتوانست استفاده کنیم.

مثلا $\overline{DE}$: ۱ـ $\overline{DE}$ جدا حساب کنیم وصل کنیم.

۲ـ $\overline{DE}$ به $\bar{D}+\bar{E}$ تبدیل کنیم.

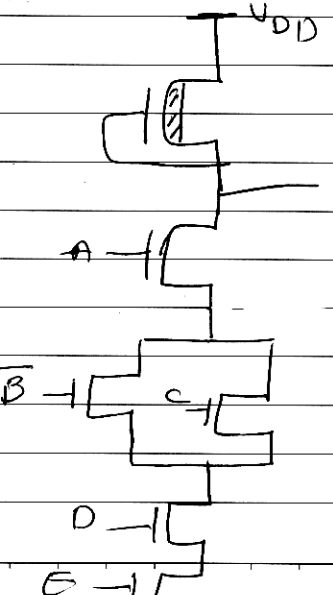
در این حالت ۲ not داریم

که not هم در آخر دارد.

$\overline{\bar{D}+\bar{E}}$ چون ⊙

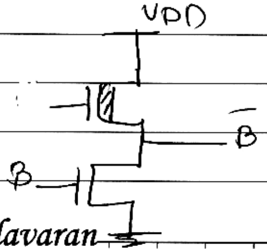
منفی ها باید یکبار دیگر

not کنیم.



$A \cdot (\bar{B}+C) \cdot DE$

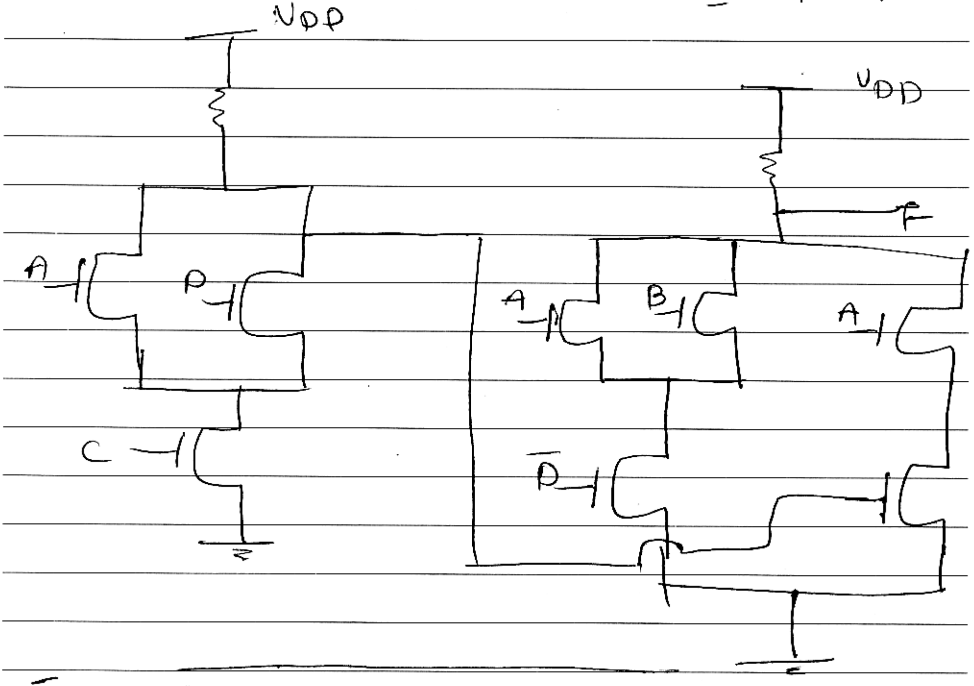
وقتی pullup نباید ـ not شود کنیم.



ممکن است شکل را بدهند و از ما تابع را بخواهند.

مثال. تابع را بدست آورید.

(pullup در اینجا مقاومت است)



$$\bar{F} = \bar{D}(A+B) + A[\overline{C(A+D)}]$$

* روش کلی این است که اگر pulldown ← $\bar{F}$ باشد

خروجی $\bar{F}$ است.

تمرین ۱ : F را با NMOS معمولی طراحی کنید.

?

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

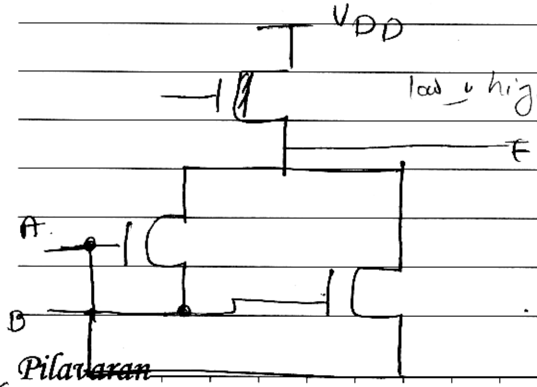
ممکن است حاصل F را بدهند یا جدول درستی آن را بدهند.

(حداقل ترانزیستور را می‌خواهیم ، not ها را فرض کنیم داریم)

تمرین ۲ : $F = \overline{ABC + D + EF}$ با CMOS معمولی طراحی کنید. نسبت های W/L را مشخص کنید.

تمرین ۳ : تابع F چیست ؟

?



فرض نکنید اگر ورودی Low باشد

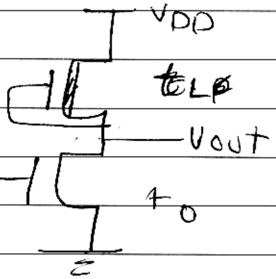
شرط دوره

تمام ترانزیستورهای خاموش شده باشد.

در حد اینکه روشن می‌شود یا خیر

تعیین اندازه‌ی ترانزیستورها در NMOS

می‌خواهیم حالت‌ها را بررسی کنیم



در حالت pullup

V_{OH}

ممکن است به حد مطلوب برسد.

ولی V_{OL} صفر نمی‌شود یک مقدار

پیدا می‌کند. اگر به جای pullup و pulldown یک امپدانس بگذاریم

اگر بخواهیم V_{OL} کم شود $V_{OL}\downarrow$ در $\frac{Z_{P.U}}{Z_{P.D}}\uparrow\uparrow$

این که چه مقدار باید باشد محدودیت دارد. ممکن است خازن‌های

به وجود می‌آید مشکل ساز شود یا تأخیر مدار را هم بزند عدد معقول ۴

است.

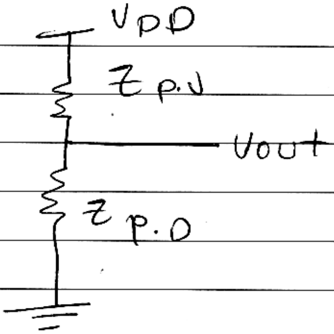
$$\frac{Z_{P.U}}{Z_{P.D}} = 4/1 = \frac{(L/W)_{P.U}}{(L/W)_{P.D}}$$

$$L/W = Z$$

$$R = \rho L/A = \rho L/_{tW} \approx L/W = Z$$

متناسب با L/W است

امپدانس از مقاومت مهم‌تر است.



$$\frac{(L/W)\,p.U}{(L/W)\,p.D} = ۴$$

با استفاده از شکل در صفحات عدد ۴ را بدست می آید.

⇐ تا ۴ نسبت گفته شده می تواند بالا برود.

اثبات عدد ۴: با این فرض و به دنبال پیدا کردن ولتاژی برای گیت صفر

هم تقارن داریم $V_M = V_{DD}/2$

فرض

(← چون نوع کاهشی است $V_{tL} = -0.6\,V_{DD}$

منفی است. $V_{tO} = 0.2\,V_{DD}$

در نقطه M ⇐ هر دو ترانزیستور اشباع بروند.

$$K_O/2\,(V_{GSO} - V_{tO})^2 = K_L/2\,(V_{GSL} - V_{tL})^2$$

$$\Leftrightarrow K_O(\underbrace{V_M}_{=V_{DD}/2} - 0.2\,V_{DD})^2 = K_L(0 - (-0.6\,V_{DD}))^2$$

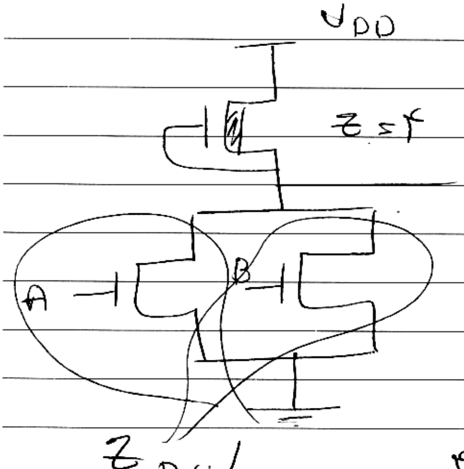
ع) $K_O/K_L = \frac{K(W/L)_{\overset{\text{پایین}}{O}}}{K(W/L)_{\underset{\text{بالا}}{L}}} = 4$

معمول است اثبات را بخواهد . ? پرسیده شد

اثبات در امتحان نیاید

می‌توانیم با استفاده از نسبت های W/L را بدست آوریم

مثال . نسبت های W/L را بدست آورید .



Z بالایی را می‌توانیم ۴ بگیریم

L/W = ۱/۴

خروجی در صورتی صفر است

یا هر دو ترانزیستور روشن باشد

خروجی Low بود .

$Z_{P.U}/Z_{P.D} = 4/1$

وقتی هر دو روشن حالت ۲

اگر یکی روشن حالت ۱

کمتر $v_{OL_2} < v_{OL_1}$

تا جایی که می‌توانیم می‌خواهیم کم کنیم . حالتی را نشان می‌دهیم که یا A یا B فقط یکدام روشن باشد چون این حالت مشکل‌ساز است .

می‌خواهم تا حدی که می‌توانم بهبودش بدهم.

$\Rightarrow \tau_A = 1$ حالتهایی را در نظر بگیریم که یک تأخیر معین
$\tau_B = 1$ داشته باشیم.

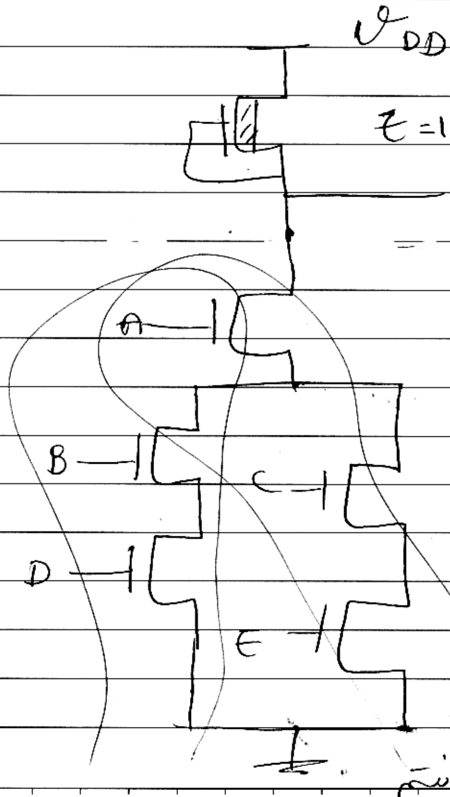
$(L/W)_A = 1 \qquad (L/W)_B = 1$

مهم این است کدام شاخه‌ها را در نظر بگیریم.

مثال. $W/L = ?$

مینیمم

$\tau = 12$ تنها را باید در نظر بگیریم



اگر بخواهیم موازی‌ها را در نظر بگیریم فقط است حالتی باشد همه‌ی ترانزیستورها روشن شوند. ولی در آن حالت V_{OL} کمتر از زمان است

یعنی [illegible] بیشتر [illegible] ها
[illegible] و بنابراین آن حالت [illegible]

A − B − D ⇒ $z_A + z_B + z_D =$ ۳ ⇒ $z_A = z_B = z_D$

A − C − D ⇒ $z_A + z_C + z_D =$ ۳ ⇒ $z_A = z_C = z_D =$

A − C − E ⇒ $z_E = 1$

A − B − E ⇒ $z_A = z_B = z_E = 1$

رها
سیر
م

برای همه مسیرها z می‌تواند ۳ شود.

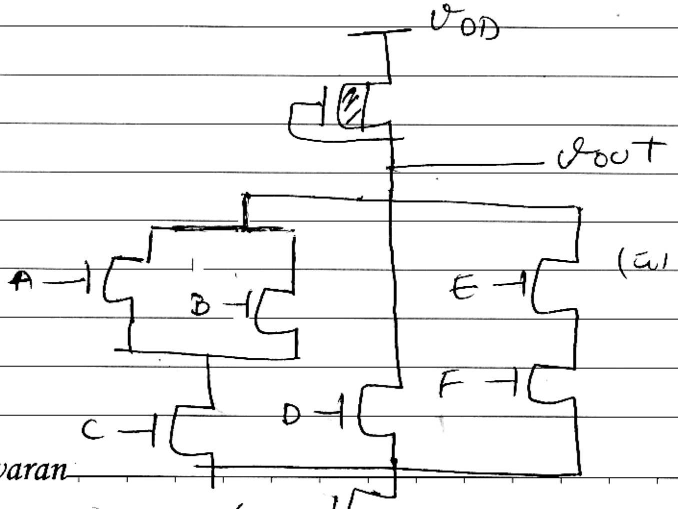
هم‌زمان نسبت ۴/۱ برقرار باشد

۴/۱ = ۸/۲ = ۱۲/۳ ...

ترجیح می‌دهیم تا جایی که امکان هست نسبت‌ها را برابر بگیریم.

$Z_{p.u} / Z_{p.D}$ = ۴/۱ = ۸/۲ = ۱۲/۳ = ۲۴/۶ = ...

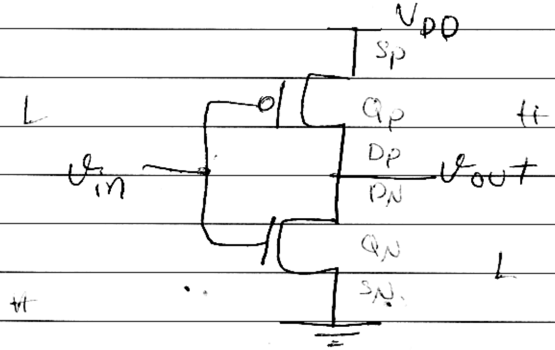
تمرین ۴:



نسبت‌های W/L را بدست آورید.

(Z معکوس W/L است)

معکوس کننده CMOS



ترکیب CMOS

NMOS و PMOS

برای داشتن هدر رفت
صفر

NMOS ← v_{OH} صفر می‌دهد
PMOS ← v_{OL} (صفر) صفر می‌دهد

مزیت CMOS صفر صفر
۱ صفر ← ۱ را می‌دهد
توان مصرفی در حالت ایستا ندارد
یعنی وقتی $v_{out} = h$ ← جریان نمی‌کشد.
L

که وقتی در NMOS v_{OH} جریان داشتیم
v_{OH} معکوس بود جریان نداشته باشیم.

در PMOS ← S ← به ولتاژ بالاتر وصل می‌شود.

D ← به ولتاژ پایین‌تر

در NMOS برعکس این حالت است.