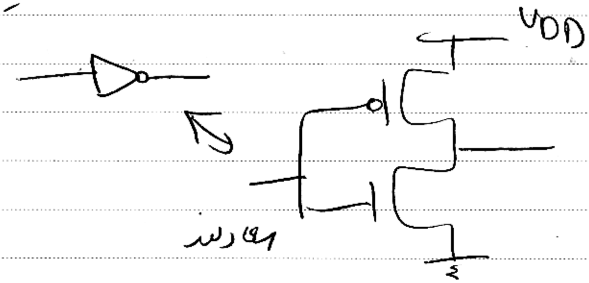
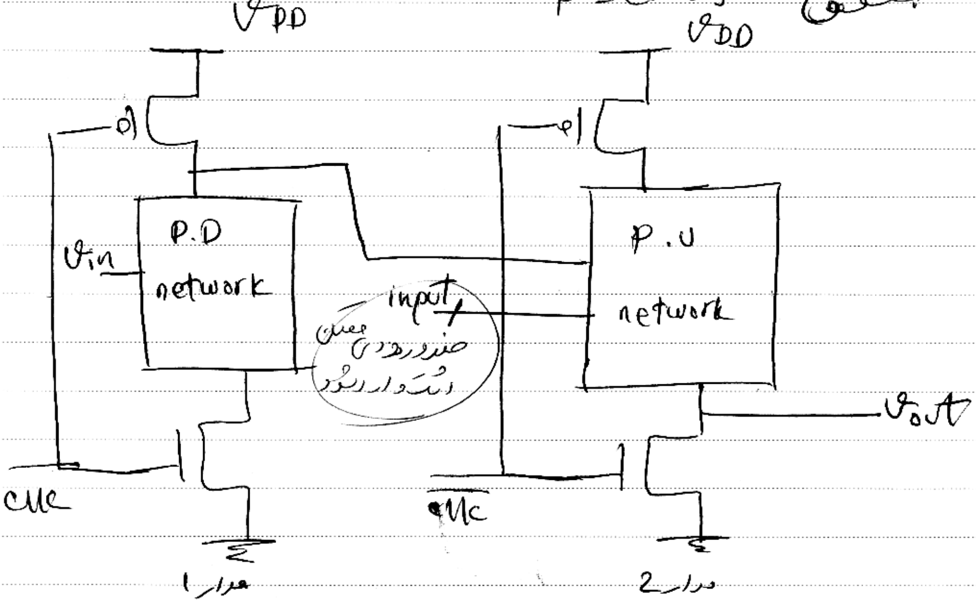
برای بعدی

فکر می‌کنیم ببینیم مشکل این مدار چه باشد. اگر دارد بنویسیم.

clk صفر یا یک باشد. خروجی چی است بنویسیم.


VDD
معادلند

منطق np_cmos


VDD
VDD
P.D network
P.U network
Vin
input
یعنی صفر ورودی اشتباه دار نشود
Vout
clk
clk
مدار ۱
مدار 2

در طبقه اول n ها را می‌بریم
" " دوم p " "

P4PCO

برای درستی P استفاده می‌کنیم .

Pull up network می‌شود .

اگر clk در طبقه اول نذاریم در طبقه دوم $\overline{clk}$ می‌ذاریم

خروجی اولی وارد دومی به عنوان ورودی وارد می‌شود . خروجی هم

ممکن است input داشته باشیم .

با این شکل هم اگر ببندیم مشکل ایجاد نمی‌شود .

محدود نیستیم حتماً pmos بذاریم در مدار 2 .

اگر $clk = 0$ ⟵ پیش شارژ → مدار ①

مدار ② not

$\overline{clk} = 1$ ⟸ پیش دشارژ مدار ②
است خروجی صفر است .

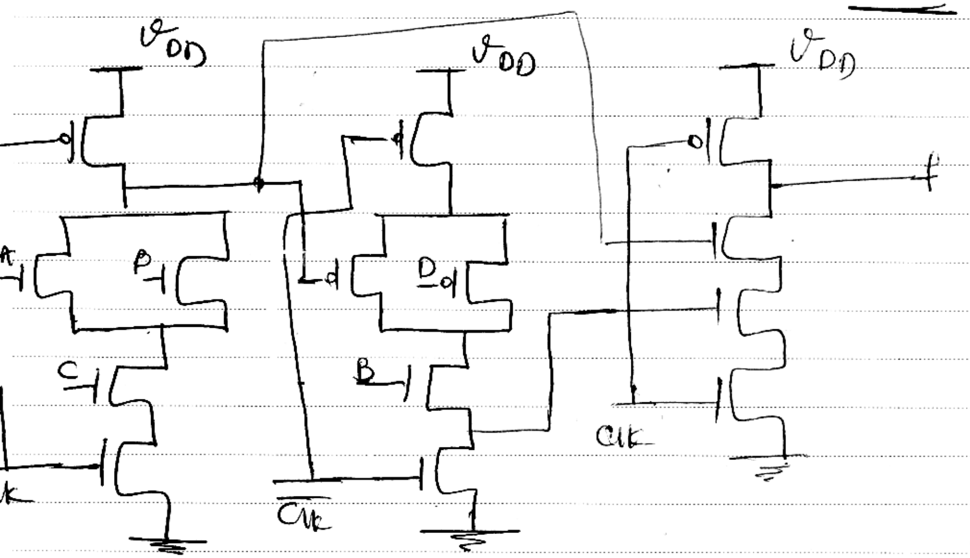
$clk = 1$ ⟵ مدار ① طبق ورودی

P.D در مدار از بالا قرار دارد .

مدار ② $\overline{clk} = 0$ روشن pmos است .
P.U شده
در مدار بالا است .

طبق تابع پیاده شده مدار خروجی می‌دهد ارتباط بین تابع‌ها اهمیتی ندارد.

تمرین چه تابعی پیاده سازی می‌شود؟



یکی از ورودی‌های pmos دوم ایراد آن در این ورودی‌های دیگر هم خروجش دارد

np-cmos تکنیک

pmos ها روشن می‌شود. وقتی یکی پیش از موعد صفر شود باعث می‌شود

روشن شوند عملا با برعکس کردن n و p تاخیر جبران شده.

p با صفر روشن می‌شود یکی هم کفایت کاری کند.

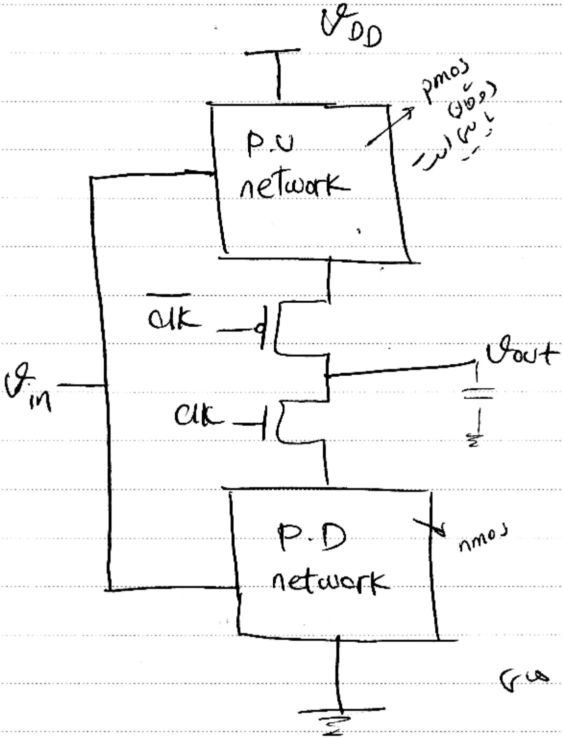
خروجی متناوب با فرکانس درست خروجش رای دهد.

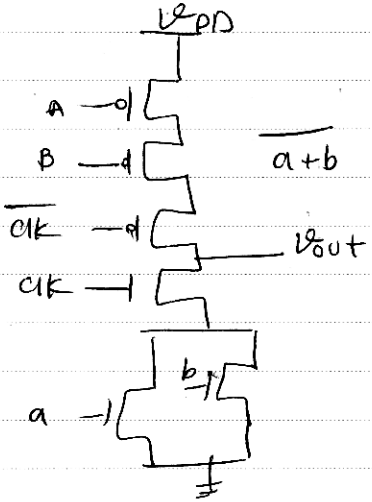
PAPCO

آخرین نوع از مدار دیجیتال :

منطق C^2MOS

انگار از 2cmos دیگه هم استفاده می‌کنیم.


V_{DD}
P.U network
pmos
دوتاش باید است
$\overline{clk}$
V_{out}
V_{in}
clk
P.D network
nmos


V_{DD}
A
B
$\overline{a+b}$
$\overline{clk}$
V_{out}
clk
b
a

تعمیم این که دارد شبکه‌ای از mosfet های نوع n.

ورودی ها هر دو در شبکه وصل می‌شود.

وقتی که clk = 1 ، nmos ، pmos روشن هستند

عملکرد cmos ایجاد می‌کند . $\overline{a+b}$ را ایجاد می‌کند یعنی به عنوان

را ایجاد می‌کند .

وقتی clk یک است برحسب تابع خروجی می‌دهد . => در مد ارزیابی قرار دارد

clk = 0 pmos حاضرش است .

مقدار قبلی خودش را حفظ می‌کند . آنچه قبلاً بود HI .

خروجی ندارد => چون در پویایی بحث می‌کنیم .

وقتی با clk کار می‌کنیم در بحث پویایی است .

clk = 0 ← مد نگهداری عملکردش مانند حافظه عمل می‌کند .

هنگامی در مد ارزیابی داشت حفظ می‌کند .

می‌توانیم یک مقدار در مد ارزیابی بدهیم که خروجی خاص بگیریم

تا یک بازه‌ی زمانی بسته به خازنی که از خروجی قرار می‌گیرد مقدار

بار را خودش حفظ می‌کند در یک بازه‌ی کوتاهی از آن مقدار

را حفظ می‌کند .

Subject:
Year. Month. Date. ( )

Clk = 1 → CMOS مدار ترتیبی

Clk = 0 → مد نگهداری

باعث شود در مد نگهداری مصرف توان پایین بیاید در یک بازه‌های همه‌ی ترانزیستورها خاموش است ولی مقدار خروجی داریم. ⇐ به نوعی حافظه‌ای را پیاده کنیم که بخش‌ها را از دست دهیم اما مقدار را نگه داشته

تمرین. گیت OR ، NAND ۲ ورودی و مالتی‌پلکسر 8x1 با استفاده از گیت انتقال رسم کنید.

↓
۳ خط کنترل لازم
e ندارد.

حافظه‌ها

یکی از تقسیم‌بندی‌های حافظه —
استاتیک SRAM
دینامیک DRAM

استاتیک

تغذیه همیشه وصل است نیازی به refresh نداریم Data را دائماً روشن نگه دهیم.

PAPCO

داینامیک — **DRAM**

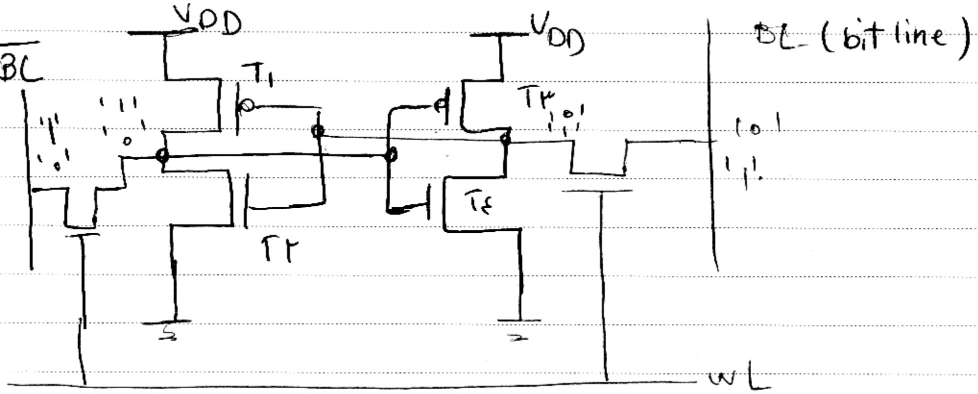
DRAM تداوم است این ندارد به صورت

این تداوم مصرف کم کند اما در عوض؛ refresh نیاز دارد.

SRAM

① اولین نوع حافظه Static RAM

عمدتاً در CMOS استفاده می‌کند.


VDD
VDD
$\overline{BL}$
BL (bit line)
T1
T2
T3
T4
'1'
'0'
'1'
'0'
'0'
'1'
WL

فعال سازهای ترانزیستورهای عبور WL وصل می‌شوند.
worldselect line

یک سلول از حافظه استاتیک را نشان می‌دهد.

دو not به صورت فیدبک شده سر هم قرار می‌گیرند.

داده‌ای مثلاً یک منطقی را قرار می‌دهیم یک وارد می‌شود.

not اش صفر می‌شود سپس خروجی و بشاره not می‌شود. و دوباره یک می‌بینیم

یعنی اگر یک نقطه یک را بگذاریم و برداریم یک داخلش قرار می‌گیرد.

در صورتی که اگر cmos باشد با هر دو not درگیر باشند.

روشن باشند.

در موقع نوشتن یا write

سالها برای این است که چند سلول داریم می‌خواهیم سلول خاصی را

انتخاب کنیم وقتی بخواهیم بنویسیم یا بخوانیم سالها مربوط به همان سلول

را فعال می‌کنیم.

BL یعنی بیت داده‌ای که می‌خواهیم بنویسیم یا وقتی خواستیم بخوانیم.

قرار است بهمان بدهد. مقدار عددی ذخیره کنیم یا ارزش بخوانیم در BL

است.

موقع نوشتن ابتدا سالها را فعال می‌کنیم. سپس ای دهیم.

صفر داده را روی BL می‌گذاریم
a0t اش را روی $\overline{BL}$ می‌گذاریم.

مثلا مقدار ① : ۱ منطقی را روی BL | (قرار می‌دهیم
۰ منطقی روی $\overline{BL}$

وقتی که می‌نویسیم سطر فعال است ⟸ این که ترانزیستور عبور

است یک را وارد می‌کند.

یک وارد ورودی راست می‌شود.

صفر وارد ← چپ می‌شود.

یک باعث می‌شود T_2 روشن شود.

صفر باعث شود T_3 روشن شود.

یک نقطه فعال می‌کنیم مقداری می‌گذاریم (دیگر ورودی داریم) سپس سطر غیرفعال می‌شود. وقتی غیرفعال می‌شود،

دیگر مقدار از بیرون به داخل نمی‌آید. همین مقداری که گذاشتیم حفظ می‌شود.

به این صورت T_2 روشن شده، صفر می‌شود. صفر باعث می‌شود T_3 روشن شود.

یعنی یک حفظ کند. اینها همدیگر رو تثبیت می‌کنند.

ابتدا

با یک و صفری که وارد کردیم T2 و T3 روشن شده و داده را داریم.

منتها مصرف توان داریم چون داده از تغذیه‌ها ناشی می‌شد تا ترانزیستورها روشن باشند.

اگر ۱ ۰ ۱ وارد می‌کنیم.

اره از رد شوند not می‌شوند. تا آخر لحظه درست در بیاید.

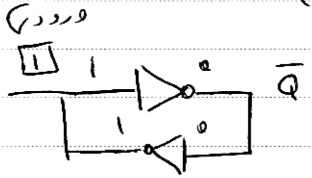
۱

0 ← BL   1 ← $\overline{BL}$

۰ وارد شده ⇐ T_1 روشن می‌شود.

۱ 〃 〃 $\overline{T_4}$ 〃 〃

و مقدار را حفظ می‌کنه.



⇐ هر مقداری را بخواهیم می‌توانیم بدهیم.

عمل خواندن

مقدار داخل حافظه قرار دارد و می‌خواهیم بخوانیم.

ابتدا BL و $\overline{BL}$ را HI می‌کنیم. مقدار روشن قرار نداشته باشیم

WL را فعال می‌کند. ← هرچه داخل نوشته باشیم از ترانزیستورهای عبور

رد می‌شود روی BL و $\overline{BL}$ قرار می‌گیرد.

اگر ۰ داشته باشیم   BL ← ۰ $\overline{BL}$ ← ۱ می‌خوانیم.

یا ۱ نوشته باشیم ۱ می‌خوانیم $\overline{BL}$ ← صفر

هرچه قبلاً داخلش نوشته بودیم   هرچه نوشتیم همان را می‌خوانیم

معمولاً مدارمان سریع است، باید مسیر طولانی را طی کند. مسیر طولانی

باعث می‌شود ولتاژمان افت کند.

ترانزیستور عبور ← مثلاً اگر ۵ ولت بدهیم. طرف دیگر $5 - V_t$

می‌توانستیم افت ولتاژ داشت. (۰ را کامل رد می‌کند)

برای support از مسیرهای طولانی به جای اینکه BL و $\overline{BL}$ را

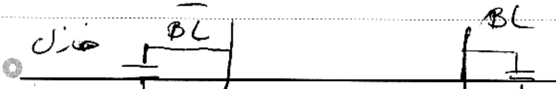
HI کند. BL و $\overline{BL}$ را پیش شارژ می‌کند.

فرض کن خازن مقدار ۱ داری که شارژ شده   حال اگر مقدار ۱ باشد بخوانیم.

که همان پیش شارژ باقی می‌ماند.

اگر مقدار باشه صفر بخوانیم خازن دشارژ می‌شود

پیش شارژ برای انتقال مقدار داده در مسیر طولانی است.



اشکال

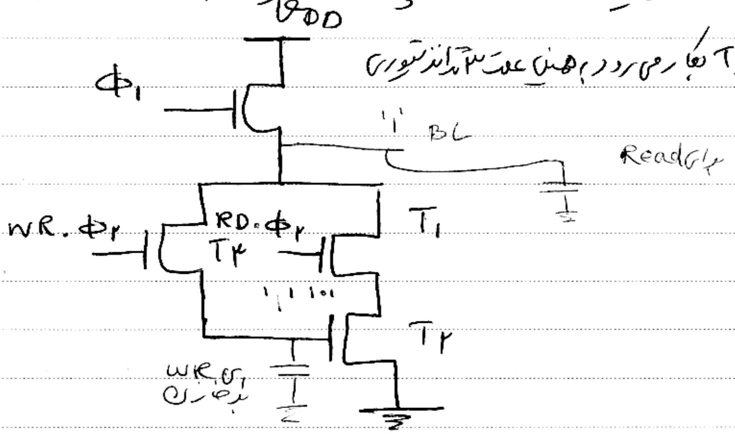
توان مصرفی استاتیک دارد. تغذیه ها دائماً ولتاژ بدهند ترانزیستورها روشن شوند. ولی در عوض استاتیک است احتیاج به رفرش ندارد تا هنگامی که ترانزیستورها کار کنند و تغذیه ها دائماً ولتاژ بدهند. مقدار داده در حذف شدن نقش داشته اند VDD را بدهیم و حداقل تعداد ترانزیستورها کافی باشد)

DRAM ۳ ترانزیستوری

عملاً ۴ ترانزیستوری است ولی چون ترانزیستور بالا در هر سلول کاری ندارد

برای دیتا

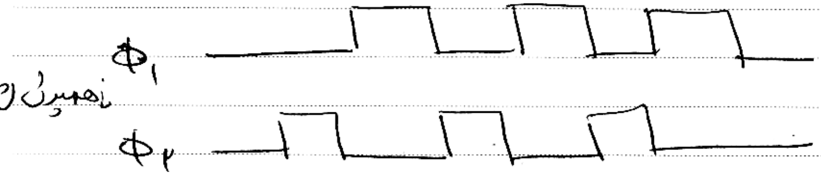
T1 ، T2 ، T3 بکار می‌رود به همین علت ۳ ترانزیستوری می‌گویند


VDD
Φ1
'1' BL
برای Read
WR. Φ2
RD. Φ2
T4
T1
'1' '1' '0'
T2
WR برای نگهداری

Φ_1 و Φ_2 دو کلاک هستند.

ناهمپوشان می‌گویند چون همزمان با هم یک نمی‌شوند.

Φ_1 در بازه‌هایی که Φ_2 صفر است مقدار دارد.



وقتی Φ_2 روشن است Φ_1 نباید مقدار '1' داشته باشد.

Write

می‌خواهیم داده بنویسیم. => WR و Φ_2 باید فعال شود

مقدار را روی BL قرار می‌دهیم.

Φ_2 فعال
Φ_1 غیرفعال } T_2 روشن مقدار از T_3 می‌آید روی ورودی T_2

عملاً یک خازن داریم که از ترکیب خازن‌های خروجی T_3 و ورودی

T_2 ایجاد می‌شود مقدار 1 روی خازن ذخیره می‌شود.

اگر بخواهیم صفر بنویسیم فرقی نمی‌کند باز هم T_3 نقش ترانزیستور

صفر دارد می کند صفر نوشته می شود.

یک لحظه فعال می کنیم و بعد غیر فعال می شود. مقدار را داخلش نوشتیم.

مقدار در حافظه نوشته شده و سوئیچ قطع است. هیچ تغذیه ای نداریم توان مصرفی نمی کند تا موقعی که بخواهیم بخوانیم.

بین سیگنال نوشتن و ϕ_2 عمل and داریم همچنین برای خواندن ϕ_2

خواندن

در یک بازه زمانی ← ϕ_1 فعال می شود. ← ترانزیستور بالایی روشن می شود باعث می شود BL ← پیش شارژ شود.

بعد ϕ_1 غیر فعال سپس ϕ_2 و سیگنال خواندن را فعال می کنیم.

BL پیش شارژ است مقدار ولتاژ h روی خازن قرار دارد.

ϕ_1 خاموش WR خاموش

مد T_1 و T_2 را داریم

T_1 روشن است چون $RD.\phi_2$ هنوز فعال است .

T_2 ← وضعیت T_2 بستگی به این دارد که چه چیزی روش نوشته باشیم.

روی خازن

مثلاً اگر ۱ نوشته بودیم ← T_2 روشن می‌شود

T_1 , T_2 روشن ⇐ BL دشارژ می‌شود.

↓
BL صفر می‌شود.

یعنی ۱ نوشته بودیم صفر می‌خوانیم

T_2 ← مثلاً اگر صفر نوشته باشیم.

T_2 نمی‌تواند روشن باشد. خاموش است.

⇐ اینجا شارژ باقی می‌ماند که پیش داده بودیم، در BL.

⇐ صفر نوشته بودیم ۱ می‌خوانیم.

هرچی نوشته بودیم not اش را می‌خوانیم.

$$\boxed{RD}.T_2 \begin{cases} '1' \text{ on} \Rightarrow BL = '0' \\ '0' \text{ off} \Rightarrow BL = '1' \end{cases}$$

Subject:
Year. Month. Date. ( )

باید توجه داشته باشیم که چون not می‌خوانیم باید بعداً یک not

قرار بدهیم که مقدار واقعی را بدهد

چون دینامیک است . ——— ولتاژ تغذیه خاموش شد که همه
دیتا رو هم از دست دهیم .
مقدار می‌دهیم روی خازن
ذخیره نمی‌شود .

پس خازن ذخیره می‌شد را تا یک زمانی

یعنی خودش حفظ می‌کند => در بازه‌های از زمان داده

رفرش کنیم یعنی دوباره داده را بگذاریم روش تا مقدار

را حفظ کند .

۱ اشکالش به نوعی این است که نیاز به رفرش دارد .

اینکه تراکم استاندارد سه هزینه‌اش است .

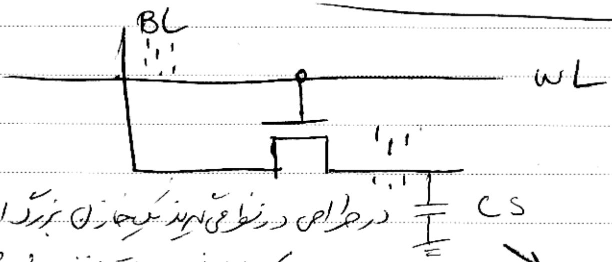
توان را که مصرف نمی‌کند ذخیره‌ی انرژی زیادی به ما می‌دهد .

با اینکه باید رفرش کنیم آنقدر در مقابل تراکم کمک می‌کند انتخاب می‌شود .

فلش‌هایی که نتوانستند این کار را انجام بدهند

Subject:
Year. Month. Date. ( )

DRAM تک ترانزیستوری



در طراحی در نظر می‌گیرند که خازن بزرگ ای در شود
که در طول مدت بتوانند شارژ باقی بماند.

→ خازن ای ام می‌شود.

write

WL فعال ← داده را روی BL می‌گذاریم

↓ ترانزیستور عبور روشن می‌شود.

هر چه که روی BL باشد روی خازن می‌گذارد.

و WL غیر فعال می‌کنیم.

مقدار روی BL می‌گذاریم Data روی خازن قرار دارد.

خواندن

برعکس است. BL را پیش شارژ می‌کنیم

WL فعال می‌کنیم

هر چه داریم BL مقدار خازن را می‌گیرد.

هر چه نوشتیم همان را می‌خوانیم.

چون خازن بزرگتر است دیرتر تخلیه می‌شود.

وقتی خازن بزرگ است شارژ و دشارژ تاخیر دارد

تاخیر زیاد است.

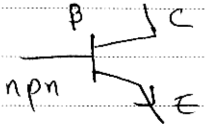
بنابراین DRAM کندتر است.

نیازی به رفرش تقریبا ندارد.

لذا مدار کند است.

فصل ۶ ترانزیستورهای ۲ قطبی و منطق‌های مبتنی بر آن (BJT)

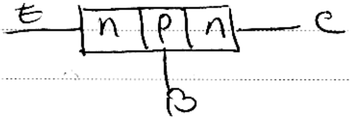
قدم اول ← این صفحات است ۳ پایه b ، C و E را داریم



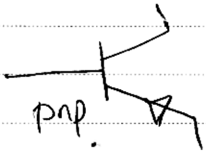
→ bjt شماتیک ترانزیستور bjt است . مثل دیود که دارای پیوندهای

p و n داریم در این مدل npn داریم.

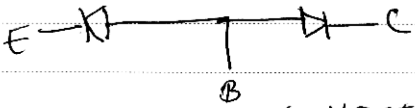
عملاً مثل این است که ۲ تا دیود داریم.



با پیوندهای pn که ایجاد می‌کردیم دیود می‌ساختیم.



اگر E جهتش ← باشد



لایه وسط n می‌شود

وارد بحث pnp ها می‌شویم مثل MOSFET ها

که n و p عکس هم عمل می‌کنند. این‌ها هم همین طور است.

P4PCO

Subject:
Year. Month. Date. ( )

۴ npn ترانزیستور.

برحسب اینکه دیودها در چه وضعیتی باشند ۴ حالت مختلف ایجاد می‌شود.

وضعیت ترانزیستور	پیوند BC	پیوند BE	
outoff	Reverse معکوس	Reverse معکوس	$I_B = I_E = I_C = 0$
Forward active	Reverse	forward	$I_{BC} = \beta_f I_B$ $\beta_f > 1$ ضریب بهره
			$\sigma = 1$ ← در مرز اشباع در
saturation	Forward	Forward	$I_C = \sigma \beta_f I_B$ $\sigma < 1$ پارامتر اشباع $I_E = I_B + I_C$
Reverse Active	Forward	Reverse	$I_e = -(1+\beta_R) I_B$ منفی $\beta_R < 1$ $I_E = I_B + I_C$ منفی همه جریان‌ها E, C بجز B منفی‌اند

① اگر هر دو پیوند در وضعیت معکوس باشد. کل ترانزیستور قطع یا خاموش است

اگر جریان‌ها را نشان بدهیم

وارد می‌شوند

I_B, I_E, I_C

خارج می‌شود

② اگر BE در وضعیت روشن باشد ← Forward مستقیم

BC معکوس در این وضعیت ترانزیستور در فعال مستقیم است.

اگر بخواهیم مقدار جریان‌ها را بدست بیاوریم.

$I_c = \beta_f I_B$

با ضریب β_f نسبت دارد.

ضریب بهره

$\boxed{I_E}$

مثل گره عمل می‌کند

مجموع جریان‌ها که به آن وارد می‌شود.

دیود BE روشن است.

④ اگر هر دو دیود روشن باشند. ترانزیستور به وضعیت اشباع می‌رود.

$I_C = \sigma \beta_f I_B$ $\beta_f > 1$ (همیشه)

پارامتر اشباع است.

پارامتر اشباع مقدار $\sigma < 1$ را دارد.

$I_E = I_B + I_C$ را داریم.

σ در حد مقدارش کم است.

⑤ پیوند C ← f   BE ← R باشد. وضعیت reverse active

این حالت کمتر پیش می‌آید معمولاً bias را طوری می‌بندیم که

این حالت کمتر پیش بیاید. در وضعیت reverse   BE ← R را دارد.

یعنی جهت جریان‌ها عکس می‌شود

جریان‌های C و E منفی نسبت به جریان B هستند.

معمولاً روشن بودن را در فعال مستقیم یا اشباع بررسی می‌کنیم.

فعال ← بیشتر منظورمان فعال مستقیم است.

اگر فعال معکوس مدنظر باشد ذکر می‌شود.

جریان‌هایی هست که در نظر می‌گیریم معمولاً:

$v_{BE}(\text{forward}) = $ ۰/۷V

$v_{BE}(\text{saturation}) = $ ۰/۸

$v_{CE}(\text{sat}) = $ ۰/۲

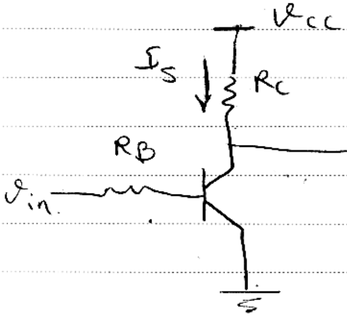
اگر در صورت مسئله عدد ندادند از این عددها استفاده می‌شود

مقدار این عددها داده شد که از آنها استفاده می‌کنیم

برحسب وضعیت دیود ترانزیستور در چه ناحیه‌ای قرار می‌گیرد مشخص شده و منطق را اعمال می‌کنیم.

اولین منطقی که بررسی می‌کنیم RTL است.

Resistor Transistor Logic RTL منطق



از مقاومت و ترانزیستور تشکیل شده.

معکوس کننده RTL را بررسی می‌کنیم.

ولتاژ ورودی Low اعمال می‌کنیم

تا وقتی دیود bE روشن نشود. ترانزیستور خاموش است خروجی High است.

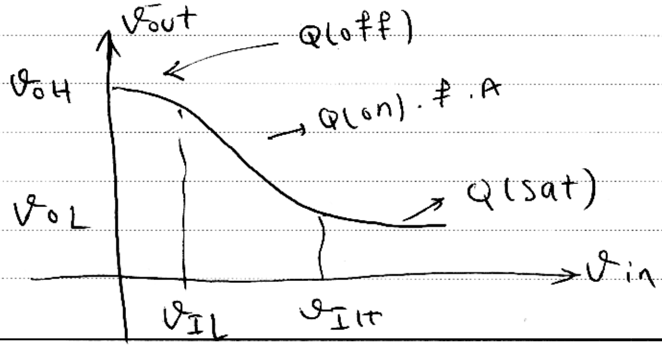
مقدار ورودی را زیاد می‌کنیم تا به اندازه ۰٫۷ ولت برسد. BE روشن می‌شود

در صورت فعال مستقیم کار می‌کند. پس خروجی $V_C - RI$ تا آنجایی که

ولتاژ ورودی را زیاد کنیم تا ترانزیستور به اشباع برود $\left.\begin{matrix}BC\\BE\end{matrix}\right\}$ هر دو روشن شود

خروجی CE می‌شود. ولتاژ CE ۰٫۲ در حالت اشباع است.

=) خروجی انگار Low است. Low صورت ۰٫۲ است.



ترانزیستور را نام Q می‌گذاریم

محاسبه‌ی مقادیر:

$\boxed{V_{OH}}$: $v_{in} < 0.7 \rightarrow Q(off)$ در $v_{out} = v_{OH} = v_{CC}$

bE خاموش

$\boxed{v_{IL}}$: $Q(f.A)$ $v_{in} = v_{IL} = 0.7$

نقطه شروع ۰٫۷

از ۰٫۷ به بعد وضعیت ترانزیستور می‌خواهد روشن شود.
فعال مستقیم می‌رود. v_{BE} می‌خواهد روشن شود.

on ⟶ اشباع ← را مشخص می‌کنیم
فعال مستقیم را با on مشخص نشان می‌دهیم.

$\boxed{V_{OL}}$: $Q(sat)$ $v_{out} = V_{OL} = V_{CE}(sat) = 0.2$

ورودی را آنقدر زیاد کردیم که ترانزیستور به اشباع رسیده

V_{IH} : $v_{in} = R_B I_B + v_{BE}(sat)$

مرز فعال مستقیم و اشباع است. موقعی است
وقتی ورودی به مرز رسیده که Q روشن شد.

$I_B \xrightarrow{}$ از I_C استفاده می‌کنیم $I_C = \beta I_B$

اکثر جاها β را نشان نمی‌دهند چون مهم است β=1 است

$$I_C = \frac{v_{CC} - v_{CE}(sat)}{R_C}$$

اگر I_C را بدست بیاوریم
I_B بدست می‌آید یا بالا بگذاریم

Subject:
Year. Month. Date. ( )

$$\boxed{v_{in} = v_{IH} = \frac{R_B}{\beta R_C}\left[V_{CC} - v_{CE}(sat)\right] + v_{BE}(sat)}$$

$v_{BE} = 0.8$ Q در وضعیت اشباع می‌رود. $R_B I_B$ هم داریم چون جریان می‌شه.

← دقیقاً ۰/۸ نیست چون $R_B I_B$ جریان می‌شه.

از فرمول‌های فعال مستقیم را اشباع می‌توانیم I_B را بدست بیاوریم.

اگر مقاومت نبود $v_{BE} = 0.8$ یعنی ۰/۸ کافی بود تا به اشباع برود.

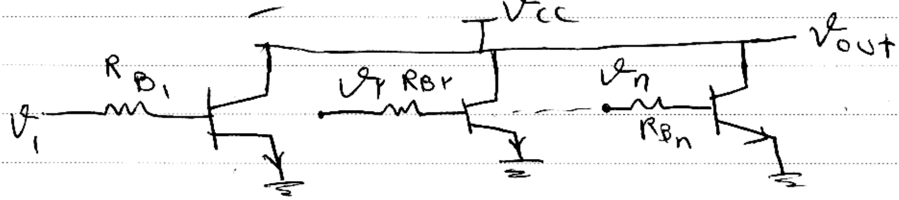
در نقاط بحرانی v_M را هم داریم. باید قرار دهیم
$v_{in} = v_{out}$
رابطه جریان فعال مستقیم را برای I_B و I_C را می‌نویسیم و به تساوی v_m می‌رسیم. در BJT ها زیاد با v_m کار نداریم. همان ۴ پارامتر بیشتر کار دارند.

تابع‌های مختلف را می‌توان پیاده‌سازی کرد. تابع‌های پایه را پیاده‌سازی می‌کنیم

NOR، NAND را پیاده‌سازی می‌کنیم. هر تابعی را با فرم NAND NOR می‌توانیم در بیاوریم. $\Leftarrow$ همان دو تابع را می‌گوییم.

NOR

عملاً ترانزیستورها به طور موازی در نظر می‌گیریم



C ها همه به هم وصل می‌شوند

برای ۲ ورودی در نظر می‌گیریم :

v_1	v_2	v_{out}
L	L	H
L	H	L
H	L	L
H	H	L

اگر ورودی ها L باشند ترانزیستورها

خاموش BE نمی‌تواند روشن

شود <= خروجی ← V_{cc} ← H

۲ فرض اینکه یکی از ورودی ها H باشد H ← v_2

v_1 ← L ← خاموش

ترانزیستور به اشباع می‌رود . <=

خروجی L هست .

اگر هر دوشان هم H باشند هر دو ترانزیستورها

مقدار CE اشباع

در وضعیت اشباع است و چون با هم موازی

است .

گرفتیم . کل خروجی هم مقدار CE اشباع را دارد و سا است .

مشکل تقسیم جریان است که با مقاومت مناسب می‌توانیم ایجاد کنیم.

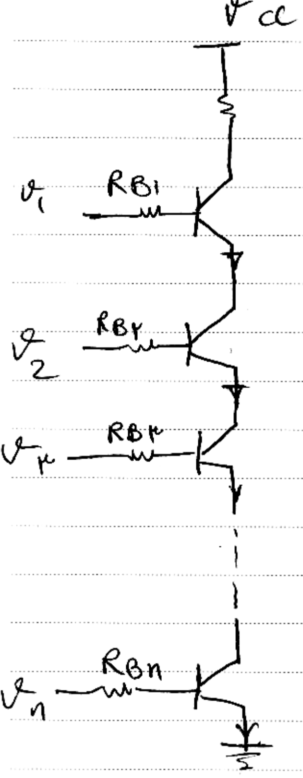
از v_{IL} تا v_{IH} جا بینی که نه H است و نه L است.

۰/۷ تا ۰/۸$+R_BI_B$ ترانزیستور خروجی می‌شود.

که می‌خواهد روشن شود.

در ناحیه‌ی بد نمی‌توانیم تشخیص بدهیم H یا L است.

NAND



E هر طبقه را به C طبقه‌ی بعد وصل می‌کنیم

آخرین E را به زمین وصل می‌کنیم

و خروجی را از C_{n-1} می‌گیریم.

	v_1	v_2	v_{out}
①	L	L	H
②	L	H	H
③	H	L	H
④	H	H	L

① هر دو خاموش خروجی مقدار H دارد.

② $L \leftarrow v_1$، Q_1 خاموش

$H \leftarrow v_2$ مستعد BE پتانسیل روشن بودن

را دارد اما چون از بالا قطع است

روشن بودن و نبودنش تأثیر ندارد. ←

عملاً ترانزیستورها خاموش است.

④ همه ترانزیستورها در وضعیت اشباع ← خروجی مجموع CE اشباع

n تا ترانزیستور داریم ← ست می‌شود.

④ یک طرفش اتصال به جایی وصل نیست. پایه‌های ترانزیستور دقیقا جایی وصل نباشد P

اتصال قطع است.

محدودیت داریم در تعداد ترانزیستور ها برای NAND داریم.

Fan in برای NAND

که نباید بتواند مدار را روشن کند.

$$n\,V_{CE}(\text{forward}) < V_{BE}(\text{forward})$$

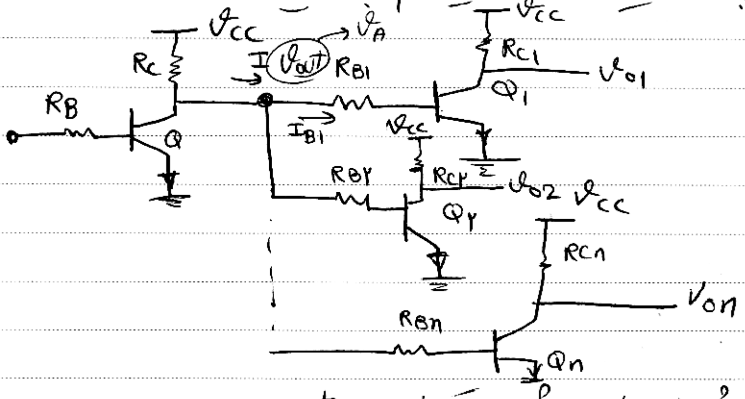
$$\boxed{n < \frac{V_{BE}(\text{forward})}{V_{CE}(\text{sat})}} \Rightarrow n = ۴$$

با عددهای
در این جا استفاده می‌شود
n = ۴ می‌شود اگر عدد دقیق
داشته باشیم باید n را حساب کنیم.

برای NOR این مشکل را نداشتیم و در خروجی هم ست می‌شد مشکل نداشتیم
$\uparrow$ V(CE) اشباع

Fan out برای معکوس کننده RTL

همین روش کار برای هدایت دو مدار دیگری هم به همین صورت است.


V_{CC}
v_A
R_C
I
v_{out}
R_{B1}
R_{C1}
v_{o1}
Q_1
R_B
Q
I_{B1}
V_{CC}
R_{B2}
R_{C2}
v_{o2}
V_{CC}
Q_2
R_{Cn}
V_{on}
R_{Bn}
Q_n

چند ترانزیستور به خروجی را به ورودی اش متصل کنیم ← Fanout
یعنی چند گیت دیگر مثل خود را بتواند support کند.

v_{out} را v_A اسم گذاری کردیم تا با تغییر v_o ها آشنا شو

v_A اگر L باشد یعنی ابتدا ورودی را H دادیم. Q اشباع ← v_A
L

L نمی تواند هیچ کدام را روشن کند. Q_1 تا Q_n ← خاموش.

در این حالت مشکلی نیست.

v_A : Low → Q_1 — Q_n : off
Q(sat)

v_A : high → Q_1 — Q_n : sat
Q(off) v_{in} = Low

جریان می کشند

I تقسیم می شود. I باید مقداری باشد بزرگتر از مجموع جریانهای B_1 تا B_n

P4PCO

$$\frac{v_A - v_{CC}}{R_C} \geq I_{B1} + I_{B2} + \cdots + I_{Bn}$$

$$I_{Bi} = \frac{v_A - v_{BE(sat)}}{R_{Bi}}$$

$$\underbrace{R_{B1} = R_{B2} = R_{B3} \cdots = R_{Bn}}$$

کسرهای مشابه

$$\frac{v_A - v_{CC}}{R_C} \geq \frac{v_A - v_{BE(sat)}}{R_{B1}}\, n \Rightarrow$$

$$\boxed{n \leq \frac{\frac{v_A - v_{CC}}{R_C}}{\frac{v_A - v_{BE(sat)}}{R_{B1}}}}$$

از v_A همه دارای یک مقاومت یکسان

می شوند ترانزیستورها اشباع ⇐

v_{BE} اشباع دارند

اگر n تا مقاومت باهم موازی هستند.

$$R_{total} = R_{B1} \parallel R_{B2} \parallel \cdots R_{Bn}$$

چون همه ی ترانزیستورها اشباع

هستند دیگر طرف مقاومت R_B

از یک طرف به v_A وصل هستند.

$$R_{total} = \frac{R_{B1}}{n}$$

$$\boxed{I_{R_{total}} = \frac{v_A - v_{BE(sat)}}{\underset{\text{مقاومت کل}}{R_{B1}/n}}}$$

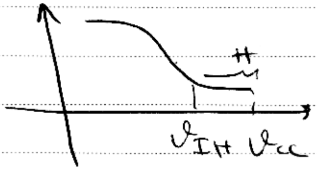
و از طرف دیگر و نقطه‌های BE اشباع می توانیم بگیریم همه با هم موازی شده اند

و معادل موازی شده را درنظر بگیریم

v_A که مجهول است مقدارش مجهول است.

از v_{IH} به بعد به عنوان H می‌گیریم.

اگر V_{cc} باشد هیچ مشکلی نیست.



مشکل زمانی است که کمترین مقدار H باشد که کافی است به جای v_A که v_{IH} که در معکوس‌کننده RTL به دست آورده‌ایم را بگذاریم.

$v_A = v_{IH}$

کمترین مقدار v_A برای ما مهم است. کمترین مقدارش که v_{IH} است.

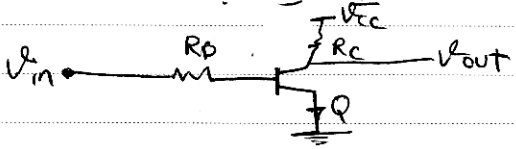
و n بدون مجهول به دست می‌آید.

برای RTL ، TTL و ... به همین روش استفاده می‌کنیم.

روند کار به همین صورت است و فرمول‌ها ممکن است تغییر کند.

توان مصرفی ایستا:

الف) بدون بار می‌خواهیم ببینیم از منبع تغذیه چقدر جریان می‌کشیم.



توان مصرفی ← average ← میانگین جریان‌ها در حالتی که خروجی L

و جریان‌ها در حالتی که خروجی ← H

$$\boxed{P_{CC\,avg} = \frac{I_{OH} + I_{OL}}{2} V_{CC}}$$

I_{OH} باید ببینیم V_{OH} است چه جریانی داریم.

$V_{OH} : Q(off) \Rightarrow I_C = I_{OH} = 0$

$V_{OL} : Q(sat) \Rightarrow I_C = I_{OL} = \frac{V_{CC} - V_{CE}(sat)}{R_C}$

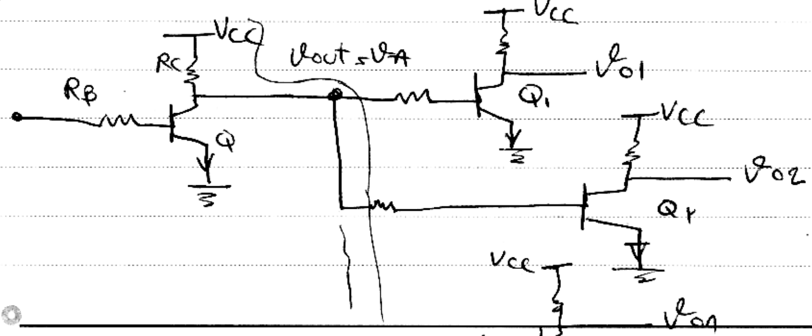
collector

$$\boxed{P_{CC} = \frac{V_{CC} - ٠.٢}{٢R_C} V_{CC}}$$

در حالتی که به خروجی هیچ باری وصل نشده باشد.

دارای بار ← هر چی در خروجی قرار بدهیم بار را ایجاد می‌کند.

(زمانی که به خروجی چیزی وصل کرده باشیم. (مثلاً خروجش را به ورودی وصل کرده باشیم)



Q ← در v_{OH} off است. ولی Qها $Q_1 \ldots Q_n$ اشباع هستند

مدار جریان بین Qها تقسیم می‌شود.

جریانی را می‌خواهیم که با خط قرمز مشخص شده. بجای مقاومت‌ها می‌توانیم R_{total} در نظر بگیریم.

$$I_{OH} = \frac{v_{CC} - v_{BE}(sat)}{R_C + R_B/n}$$

بیشتر برابر با I_{CE} نیست ✓ صفر است.

مقدار دارد.

v_{OL}: $Q(sat) \longrightarrow$ همه ترانزیستورها خاموش

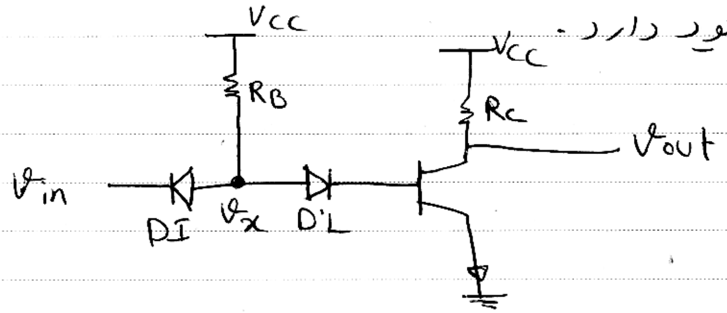
$$I_{OL} = \frac{v_{CC} - v_{CE}(sat)}{R_C}$$

$Q_1 \;—\; Q_n$: off

$$\boxed{P_{CC_{avg}} = \frac{\dfrac{V_{CC} - ۰/۸}{R_C + R_B/n} + \dfrac{V_{CC} - ۰/۲}{R_C}}{۲}\, v_{CC}}$$

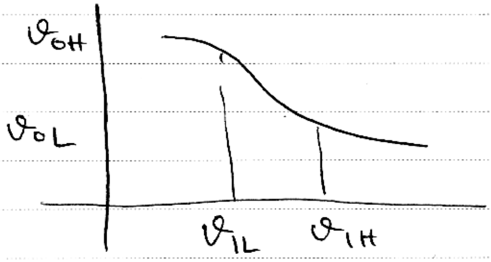
Diode transistor logic DTL منطق

ورودی اش دیود دارد.



اولین گیت بررسی می‌کنیم معکوس کننده است.

معکوس کننده



ورودی‌ها مقدار پایین؟

ولتاژ می‌دهیم max تا

مقدار و می‌بینیم خروجی چی می‌شود

$\boxed{v_{OH}}$: v_{in} : Low ≃ ۰٫۲ اگر ساده بدهیم.

زیرا یک طرف به v_{cc} وصل شده و طرف دیگر ۰٫۲ می‌تواند روشن شود. D1 می‌تواند

روشن شود. پس ۰٫۲ + ۰٫۷ دیود. در نقطه v_x به ولتاژ تقریباً ۰٫۹

می‌رسیم. ترانزیستور Q در صورتی روشن است که v_{BE} ۰٫۷ داشته باشد.

۰٫۷ هم D_L می‌خواهد تا بتواند ولتاژ را روی ترانزیستور بفرستد.

۰٫۹ نمی‌تواند دو تا ۰٫۷ را برای من بپوشاند ⇐ با ورودی L

ترانزیستورمان خاموش است. Q ← خاموش ⇐ خروجی ← H

$D_I(on) \rightarrow v_x = ۰٫۲ + v_D(on) \Rightarrow v_x = ۰٫۹$

$v_{DL}(on) + v_{BE}(for)$

$۰٫۷ + ۰٫۷ = ۱٫۴$

$Q(off) \Rightarrow v_{out} = v_{OH} = v_{cc}$

ورودی را زیاد می‌کنیم کم کم جریان ورودی را زیاد می‌کنیم تا ترانزیستور به

وضعیت فعال مستقیم برسیم، و وضعیت اشباع برود.

حال $۰/۸ + ۰٫۷ = ۱٫۵$

ولت می‌تواند قرار بدهد ⇐ خروجی ← L

تفاوت بین L و H کم است.

⇐ دقیقاً not را می‌دهد.

$\boxed{V_{IL}}$: $Q(on)$ یا $Q(for)$ مرز روشن شدن است

$v_x = v_{DL}(on) + v_{BE}(for) = ۰٫۷ + ۰٫۷ = ۱٫۴$

روشن $D_I \Rightarrow v_x = v_{in} + v_D(on) \Rightarrow v_{in} = ۰٫۷$

Subject:
Year. Month. Date. ( )

در v_{IL} ← Q هم فراهم ← on یا forward $\underset{\text{active}}{}$ باشد.

در نتیجه احتیاج داریم بدانیم v_x برابر با ۱٫۴ باشد.

از طرفی DI روشن است ⇐ تا زمانیکه ورودی ۰٫۷ از v_{CC} − ۳ بر

روشن است. $\boxed{v_x} \leftarrow \underbrace{v_{in}+\underbrace{v_{D(on)}}_{۰٫۷}}_{۱٫۴}$ می شود.
ورودی

$\Rightarrow \boxed{v_{in} = ۰٫۷}$

وقتی ۰٫۷ باشد وضعیت forward را داریم.

v_{IH} :

ولتاژ ورودی را باز هم اضافه می کنیم.

زمانیکه که ترانزیستور خروجی اشباع و فعال است.

اشباع است

$Q(sat) \Rightarrow v_x = v_{DL(on)} + v_{BE(sat)}$

$\Rightarrow v_x = ۰٫۷ + ۰٫۸ = ۱٫۵$

روشن DI $\rightarrow v_x = v_{in} + v_{D(on)} \Rightarrow v_{in} = v_{IH} = ۰٫۸$

یعنی اختلاف IH با IL فقط ۰٫۱ است.

$v_{OL}: Q(sat) \Rightarrow v_{out} = v_{CE}(sat) = ۰٫۲$

اگر حاشیه نویز بالا رو پایین را بخواهیم

$NMH = |\underset{۵}{v_{OH}} - \underset{۰٫۸}{v_{IH}}| = ۴٫۲$

$NML = |\underset{۰٫۷}{v_{OL}} - \underset{۰٫۲}{v_{IL}}| = ۰٫۵ v$

مهندس اشکال دارد نویز در منطق بالا می‌توانیم تا ۴٫۲ ولت نویز دارد

کنیم. در پایین مقدارش خیلی کم است. خیلی نامتقارن است.

ترجیح می‌دهیم که حاشیه نویزها به هم نزدیک باشند => پس همین مدار ۲ تغییر

می‌دهیم و تغییرات حاشیه نویزها را به هم به گونه‌ای که حاشیه نویزها متقارن شوند

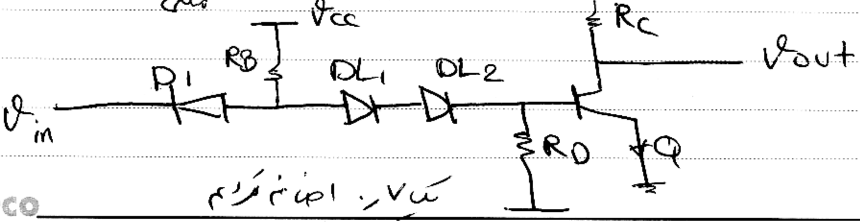
دانسته و تفاوت نداشته باشند.

DTL اصلاح شده

R_D تأثیر روی ولتاژ ندارد اما تأثیرش برای زمانی است که می‌خواهیم

تخلیه بار داشته باشیم سرعت به مسیر دشارژ می‌دهد. تا اینکه از خروجی شارژ کند

و تأثیر روی منفی را اثبات می‌دهد
منفی



تک ۷ را اضافه کردم

V_{OH}: V_{in} = Low ≃ ۰٫۲ → $D_I(\text{on})$ ⇒ V_x = ۰٫۲ +

$V_D(\text{on})$ ⇒ V_x = ۰٫۹ < ۲٫۱

$V_{DL_1} + V_{DL_2} + V_{BE}(\text{for})$
۰٫۷ ۰٫۷ ۰٫۷ = ۲٫۱

⇒ Q(off) ⇒ $V_{out} = V_{OH} = V_{cc}$ = ۵

V_{IL}: Q(for) ⇒ $V_x = V_{DL_1}(\text{on}) + V_{DL_2}(\text{on}) + V_{BE}(\text{fo}$

⇒ V_x = ۰٫۷ + ۰٫۷ + ۰٫۷ = ۲٫۱

روشن D_1 → ۲٫۱ = V_x = $V_{in} + V_D(\text{on})$ ⇒ V_{in} = ۱٫۴

V_{IL} = ۱٫۴

V_{IH}: Q(sat) ⇒ V_x = $V_{DL_1}(\text{on})$ + $V_{DL_2}(\text{on})$ + $V_{BE}(\text{sat})$
۰٫۷ ۰٫۷ ۰٫۸
= ۲٫۲

روشن D_1 ⇒ ۲٫۲ = V_x = $V_{in} + V_D(\text{on})$ ⇒
$V_{in} = V_{IH}$ = ۱٫۵
با اختلاف نسبت ۰/۵ از ۴٫۵ بیشتر است.

V_{OL}: Q(sat) ⇒ $V_{OL} = V_{out} = V_{CE}(\text{sat})$ = ۰٫۲

اگر بخواهیم بازهم بهتر شود. یک دیود دیگر می‌توانیم اضافه کنیم در این شکل سری ورودی. ایجاد می‌کند که ورودی بازهم ولتاژ ورودی باید ۰٫۷ بیشتر شود.

$NMH = |V_{OH} - V_{IH}| =$ ۴٫۵

$NML = |V_{OL} - V_{IL}| =$ ۱٫۲

تمرین: برای مدار اصلاح شده fan out را بیابید.

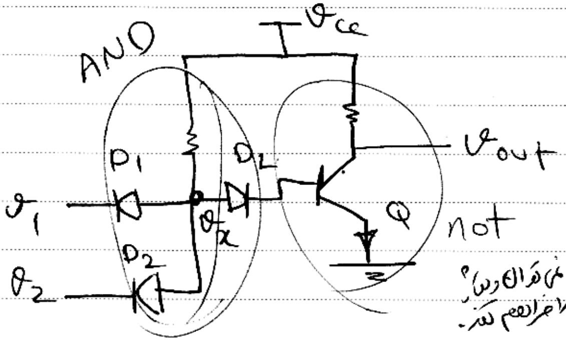
$R_D = R_B =$ ۵ $K\Omega$ $\qquad \beta =$ ۳۰

$R_C =$ ۲٫۲K $\qquad \gamma = 1$

$V_{CC} =$ ۵ V

NAND با DTL

گیت NAND میخواهیم با DTL ایجاد کنیم:



چون D1 و D2 روشن نمی‌توانن ولتاژ اینجا را فراهم کند.

	v_1	v_2	D_1	D_2	D_L	Q	v_{out}
ولتاژ تقسیم	L	L	on	on	off	off	H
	L	H	on	off	off	off	H
	H	L	off	on	off	off	H
	H	H	off	off	on	sat	L

CE است

transistor transistor logic

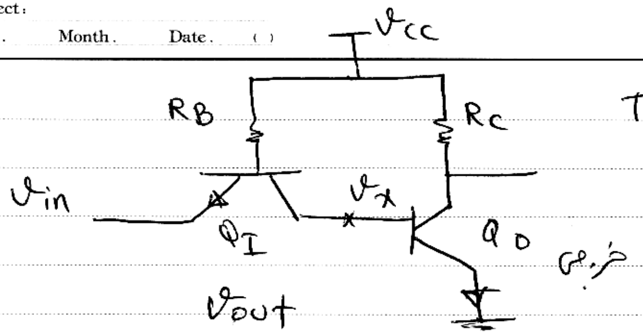
TTL

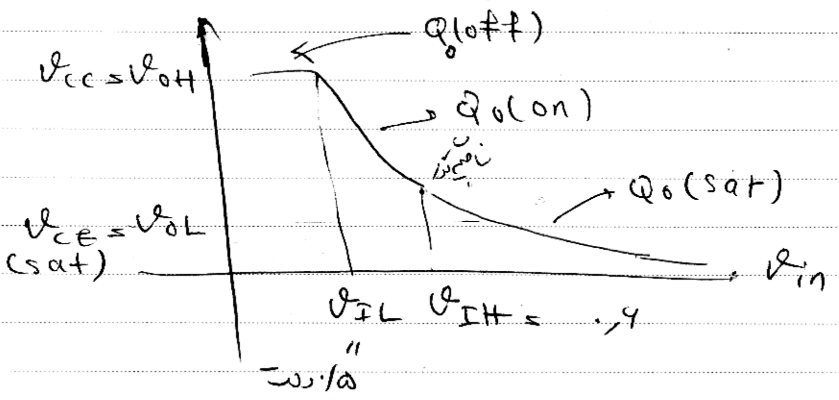
✓ منطق ترانزیستوری است. دیود نداریم. دیود کند می‌کند.

ترانزیستور ترکیب ۲ تا دیود است.

TTL به این شکل است. به جای دو تا دیود یک ترانزیستور گذاشتند.

TTL معکوس کننده





ابتدا مقادیر ولتاژ کلکتور را می‌دهیم. Q_I : [illegible] f_A می‌رود و می‌تواند اشباع هم شود چون BE می‌تواند ۰/۸ باشد. V_{CC} بزرگ داریم

Q_o : باید v_x حداقل ۰/۷ داشته باشیم. Q_o روشن می‌شود.

Q_I اشباع $\Leftarrow$ $v_{in}+\overset{v}{C}E(sat)$ اشباع تا وقتیکه $v_{in}<$ ۰/۵

۰/۷ = ۰/۲ + ۰/۵ Q_o خاموش است

اگر ۰/۵ < v_{in} باشد. Q_I اشباع باشد.

Q_o روشن می‌شود اما تا وقتیکه $v_x<$ ۰/۸ باشد. فقط Q_o روشن است.

نفی v_{in} < ۰٫۶ باشد.   ۰٫۵ < v_{in} < ۰٫۶:

Q_o روشن شده و خروجی مقدار افت داریم

v_{in} > ۰٫۶ Q_o هم اشباع

Q_I اشباع ← تا زمانی هم BE روشن و CE روشن باشد.

BE تا موقعی که ورودی ← v_{cc} − ۰٫۷ روشن است.

اگه این کم از این بیشتر شد. ترانزیستور از این وضعیت در می‌آید. $Q_I \rightarrow$ معکوس

ترانزیستور o اشباع مانده ولی BE روشن است.

v_{in}	Q_I	Q_o	v_{out}
v_{in} < ۰٫۵	sat	off	v_{cc}
۰٫۵ < v_{in} < ۰٫۶	sat	on	$v_{cc} - R_C I_C$
۰٫۶ < v_{in} < v_{cc} − ۰٫۷	sat	sat	$v_{CE}(sat)$
v_{cc} − ۰٫۷ < v_{in}	R_A	Sat	$v_E(sat)$

البته به مقاومت ها هم بستگی دارد.

v_{oH} : v_{cc}

v_{oL} : v_{CE} (اشباع)

v_{IL} : ۰٫۸ حد بین ~~[illegible]~~ خاموش و فعال . حداکثر ۰٫۲ ، حدود ۰٫۱۵

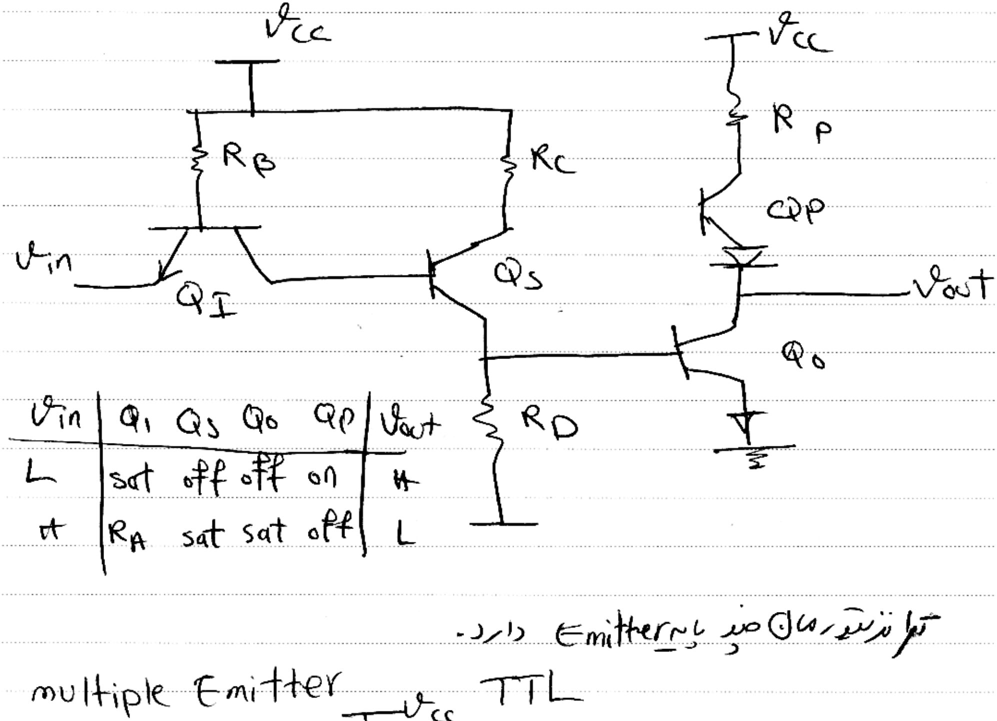
v_{IH} : ۰٫۶ حد بین روشن و اشباع

TTL پایه

v_{in} ۰٫۲ → L

v_{in} V_{cc} → H

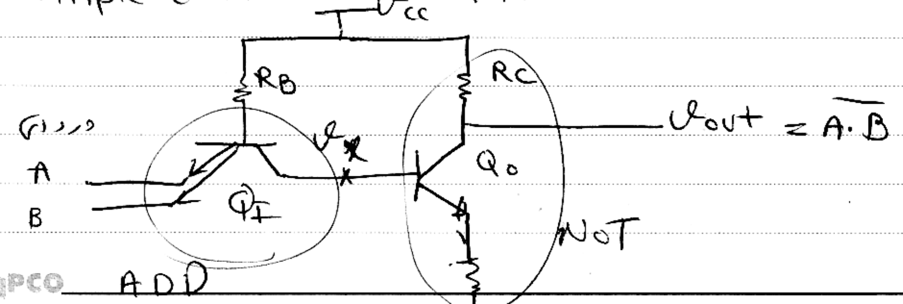
totempole TTL


V_{cc}
R_B
R_C
v_{in}
Q_I
Q_S
V_{cc}
R_P
Q_P
v_{out}
Q_o
R_D

v_{in}	Q_1	Q_S	Q_o	Q_P	v_{out}
L	sat	off	off	on	H
H	RA	sat	sat	off	L

ترانزیستور ما چند تا Emitter دارد.

multiple Emitter TTL


V_{cc}
R_B
R_C
ورودی
A
B
Q_I
v_x
Q_o
$v_{out} = \overline{A \cdot B}$
NOT
ADD

A	B	Q_1	Q_0	V_{out}
L	L	۰٫۲+۰٫۲ ≈ ۰٫۴ sat	off	H
L	H	sat	off	H
H	L	sat	off	H
H	H	RA	sat	L

اگر یکی از BE ها روشن باشد ← ترانزیستور روشن است.
همزمان BE اش هم روشن باشد

لازم به روشن بودن هر ۲ تا BE نیست. یکی از آنها هم کافی است.

BE که به A وصل است روشن است به اشباع می رود.

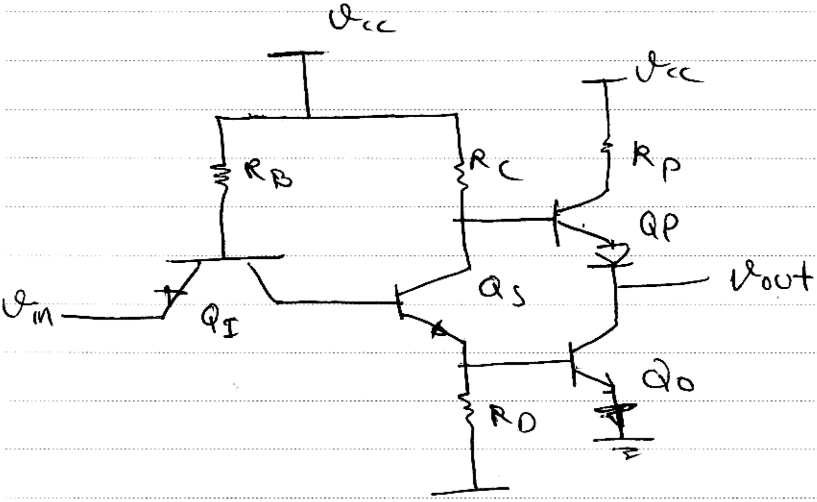
هر دو خاموش A,B ← فعال معکوس.

با این مدار multiple E یک NAND ساختیم.

در DTL ← دو تا دیود پهلوی جای دو تا ترانزیستور است.

⇐ هر تابعی را با این مدل می توان ایجاد کرد

معکوس کننده TTL با خروجی totempole


v_{cc}
v_{cc}
R_B
R_C
R_P
Q_P
v_{in}
Q_I
Q_S
v_{out}
Q_O
R_D

v_{in}	Q_i	Q_s	Q_o	Q_P	v_{out}
L	sat	off	off	on	H
H	RA	sat	sat	off	L

اگر تا اینجا تغییر داریم به ازای H ها مقدارشان را مشخص کنیم تا ببینیم خروجی چی می‌شود.

Q_I ، Q_s در ناحیه معکوس فعال است.

v_{in} < ۰/۵ Q_1 ← اشباع
Q_s ← خاموش

Subject:
Year. Month. Date. ( )

Qs خاموش ← BE اتصال ولتاژ ندارد که بخواهد روشن شود
اشتباه است گفتن شده.
⇐ Qo خاموش

Qp از طریق تغذیه و Rc می‌تواند روشن باشد.

BE دیگر دیود.
۰/۷ + ۰/۷ = ۱/۴
اشباع ← ۱/۵ ولت لازم دارد. ⇐ Qp روشن

Qp روشن یا اشباع به Rc و جریانی که از آن می‌کشیم بستگی دارد.

معمولاً که Rc ، RB طوری باشند که به اشباع نبرد.

$$v_{CC} - \underset{\boxed{Q_P}}{v_{BE}}(\text{اشباع}) - v_D - R_C I_{base}$$

از اثر I_{base} صرف نظر کنیم. به طور کلی

$$\boxed{V_{OH}} = V_{CC} - ۲2 V_D$$

در صورتی که برای اندازه گیری جریان D را ناچیز در نظر بگیریم.

که از آن RI صرف نظر شود.

دیگر h خوب نیست.

برای اینکه P.U یا P.D ایجاد کنند از آن استفاده می‌کنند.

دیگر high خوب نمی‌دهد.

در اینجا در مورد مقاومت محدودیت نداریم. محدودیتی که ترانزیستور به اشباع برود را گیت ندارد.

Q_s اشباع ← Q_o اشباع

$۰/۸ + ۰/۸ + ۰/۷$

Q_p خاموش است.

$$v_m = v_{CE(sat)} + v_{BE(sat),o}$$

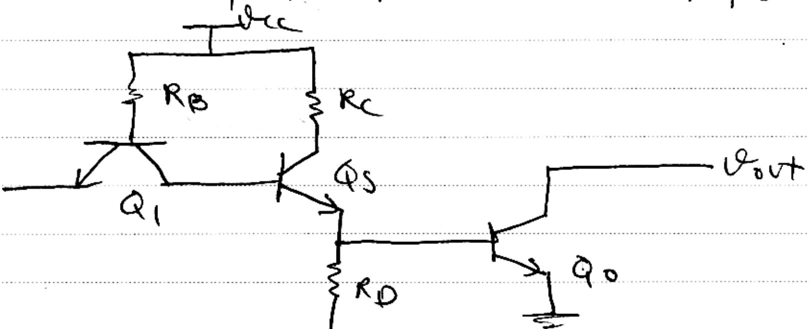
$۰/۲ + ۰/۷$ $<$ ۱ ولت است.

دیود را اگر نمی‌گذاشتیم Q_p می‌توانست روشن شود.

با دیود، Q_p خاموش.

v_{CE}(اشباع) Q_o → خروجی

open collector TTL



← ترانزیستور آخر جایی وصل نیست.

Subject:
Year. Month. Date. ( )

v_{in}	Q_1	Q_s	Q_0	v_{out}
L	sat	off	off	H.I
H	RA معکوس	sat	sat	$L(v_{CE}(sat))$

وقتی ورودی Low است. Q_1 ← اشباع

Q_s خاموش Q_0 خاموش

خروجی ← (HI) است.

وقتی که HI می‌خواهیم می‌توانیم از این استفاده کنیم.

قسمتی که HI می‌شود باید دقت کنیم. مدارات نامی که استفاده می‌کنیم خروجی‌های

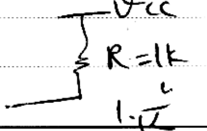
به شکل open collector است. وقتی Low می‌دهیم

H بدهیم. مدار می‌بینیم درست کار نمی‌کند چون دقت نکردیم open collector

است.

عملاً P.V می‌کنیم با یک مقاومت 1K یا 1.1K به منبع تغذیه

وصل می‌کنیم تا بعد نشود؟ چون HI خروجی H بدهد.



مدارهایی که مقدار را مشخص ندهد P.V می‌کنیم.

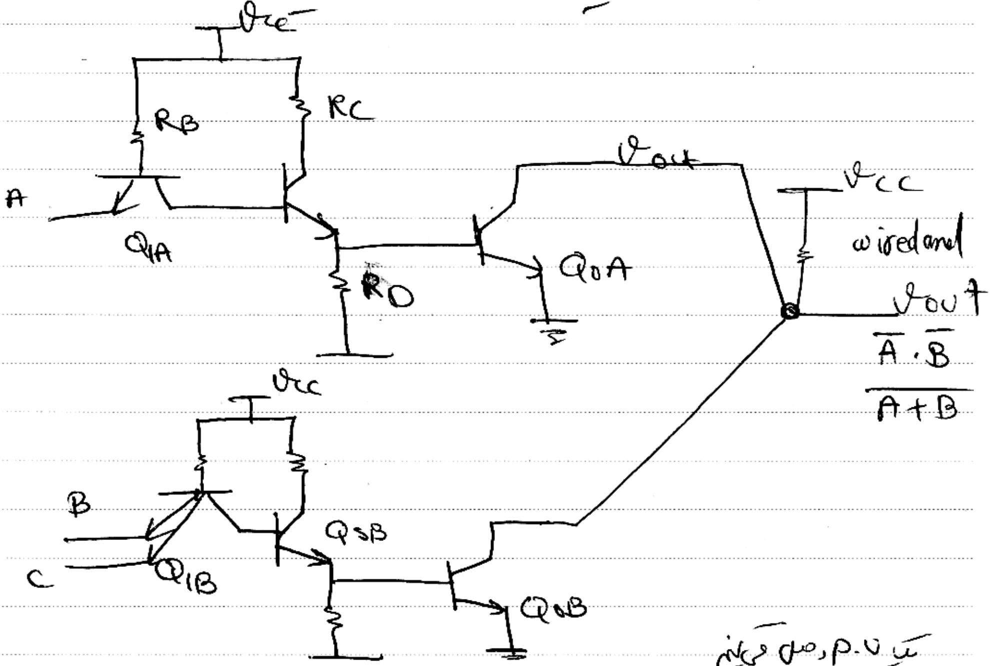
(اولی را بالا می‌بریم) P.V

طراحی گیتهای TTL :

NAND را با multiple E پیاده کردیم.

حالا می‌خواهیم با TTL open C پیاده کنیم. می‌توانیم چندین

مدار open C داشته باشیم و از شون تابع بسازیم


Vcc
RB
RC
A
Q1A
RD
Q0A
Vout
Vcc
wired and
Vout
$\overline{A}.\overline{B}$
$\overline{A+B}$
Vcc
B
C
Q1B
QSB
Q0B

یک p.u وصل می‌کنیم

خروجی ها را با هم اتصال می‌دهیم. عمل اتصال خروجی‌هم ها را به یک p.u باشه

عمل wired and . (and می‌شه)

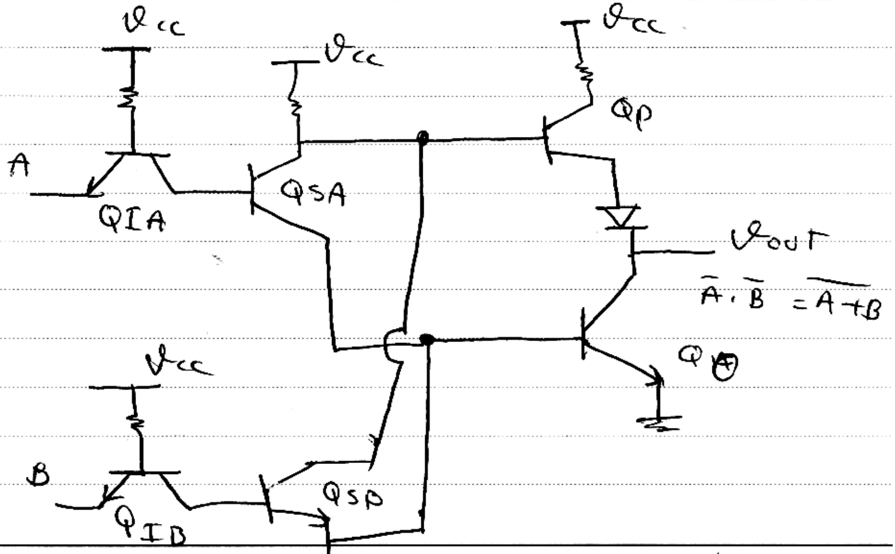
عکس $\bar{A}.\bar{B}$ را درآوردیم

A	B	QIA	QSA	QOA	QPB	QSB	QOB	v_{out}
L	L	sat	off	off	sat	off	off	H
L	H	sat	off	off	RA	sat	sat	L
H	L	RA	sat	sat	sat	off	off	L
H	H	RA	sat	sat	RA	sat	sat	L

می‌توانیم mux هم درست کنیم. $\boxed{\overline{A}+\overline{B}C}$

تمرین: با استفاده از open collector گیت XNOR را طراحی کنید.

TTL گیت NOR totempole


v_{cc}
v_{cc}
v_{cc}
v_{cc}
A
QIA
QSA
QP
v_{out}
$\overline{A}\cdot\overline{B}=\overline{A+B}$
QO
B
QIB
QSB

PAPCO

Subject:
Year. Month. Date. ( )

E ها را به هم وصل نمی‌کنیم
C ها " " "
پس ادامه می‌دهیم فرم totampole رش
را در می‌آوریم.

A	B	Q_{1A}	Q_{SA}	Q_{1B}	Q_{SB}	Q_p	Q_o	V_{out}
L	L	sat	off	sat	off	on	off	H
L	H	sat	off	RA	sat	off	sat	L
H	L	RA	sat	sat	off	off	sat	L
H	H	RA	sat	RA	sat	off	sat	L

Q_p روشن بودنش را مطمئن هستیم اما اینکه اشباع است یا روشن را نمی‌دانیم.

Q_{SB} چون اشباع است می‌تواند Q_o را به اشباع ببرد.

به همین علت C را به هم وصل کردیم که ولتاژ کلکتورها یکسان باشد.

HL
LH
برای ورودی Q_{1A}، Q_{1B} برعکس می‌شوند.

Q_o، Q_p مثل حالت قبلی را دارند.

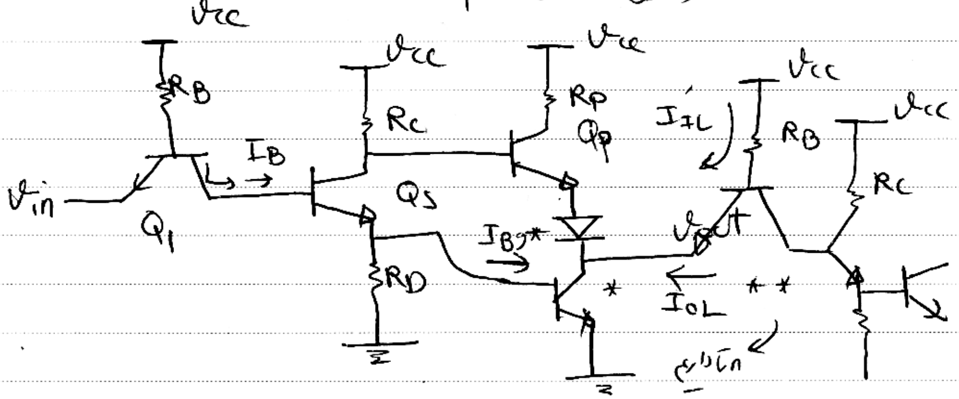
HH
Q_{1A}، Q_B هر دو فعال معکوس می‌شوند.

$$V_{out} = \bar{A}\cdot\bar{B} = \overline{A+B}$$

تمرین: با استفاده از [illegible] totempole $F = \overline{AB+CD}$

را طراحی کنید. (کافی است از حالت پل امیتر استفاده کنیم)
جای AND ها عمل می‌شود.

FANOUT در مدل totempole


V_{cc}
R_B
V_{cc}
R_C
V_{cc}
R_P
Q_P
I_{IL}
V_{cc}
R_B
V_{cc}
R_C
I_B
V_{in}
Q_1
Q_3
R_D
I_{B3}^*
V_{out}
*
I_{OL}
**

v_o: high

مهم در FANOUT وضعیت را در نظر بگیریم

v_o: Low

ترانزیستورهایی قرار است در خروجی باشد.

اگر $v_o \leftarrow$ high باشد Q(**) را به وضعیت RA می‌برد

⇐ جریان نشتی که تاثیری در کار مدار ندارد نیازی به بررسی نیست.

v_o: Low Q(**) sat

Q_I RA

Q_3 sat

Q(*) : sat

Subject:
Year.   Month.   Date.   ( )

حال جریان خروجی با n تا جریان ورودی برابر باشد.

$$I'_{IL} = \frac{V_{CC} - V_{BE,**}^{(sat)} - V_{CE,*}^{(sat)}}{R_B}$$

$$\boxed{n = \frac{I_{OL}}{I'_{IL}}}$$

Q_P خاموش

I_{OL} ← جریان C * است.

$$I_{OL} = I_{C,*} = \underbrace{\gamma}_{\text{پارامتر اشباع}} \underbrace{\beta}_{\text{ضریب بهره}} I_{B,*}$$

$$I_{B,*} = I_{E,S} - I_{RD} \qquad I_{E,S} = I_{B,S} + I_{C,S}$$

$$I_{RD} = \frac{V_{BE(sat)}}{R_D}$$

$$I_{B,S} = I_{C,I} = (\beta_R + 1) I_{B,I}$$

$$I_{B,I} = \frac{V_{CC} - V_{BC,I}^{(R)} - V_{BE,S}^{(sat)} - V_{BE,*}^{(sa}}{R_B}$$

$$I_{C,S} = \frac{V_{CC} - V_{CE,S}^{(sat)} - V_{BE,*}^{(sat)}}{R_C}$$

جریان B بدست می‌آید. با استفاده از آن جریان C و C,S را بدست می‌آوریم.

Subject:
Year.. Month. Date. ( )

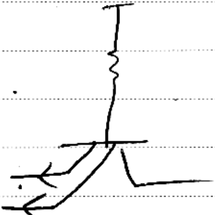
طراحی گیت‌های منطقی با TTL :

۴ مدل را با استفاده از open c ر گفتیم.

اینکه با استفاده از open c and Direct ایجاد کنیم.

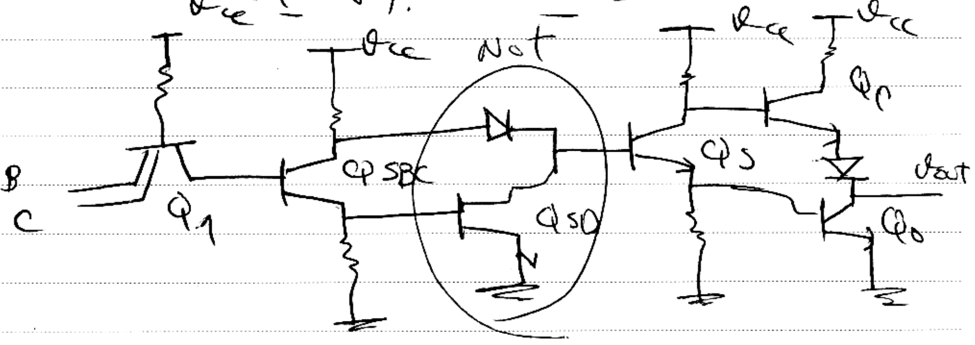
multiple E در ورودی گذاشتیم در خروجی بتوانیم nand بگیریم.

اگر بخواهیم به جای استفاده از multiple E کار کنیم. طور دیگری عمل می‌ کنیم و این کار را انجام می‌دهیم این مدل با استفاده از totempole یک nand ایجاد کنیم.



حال می‌خواهیم AND ایجاد کنیم.

می‌توانیم یک multiple E nand بگذاریم و not اش کنیم.

اما به صورت استاندارد این کار را انجام نمی‌دهیم