فصل ۱

پاسخ فرکانسی تقویت کننده های ترانزیستوری

۱-۱ مقدمه:

فرض ما در تدوین مطالب این فصل بر آن است که دانشجویان با نحوه بایاس کردن DC انواع تقویت کننده های یک و چند طبقه و همچنین محاسبات AC آنها در فرکانس میانی آشنائی کامل دارند . اگر سؤال شود که منظور از فرکانس میانی چیست ؟ قطعاً شما در پاسخ خواهید گفت محدوده ای از فرکانس سیگنال ورودی که تمام خازن های کوپلاژ و بایپاس به صورت اتصال کوتاه و تمام خازن های پراکنده (parasitic) و ذخیره بار ترانزیستور(charge storage) به صورت اتصال باز عمل می کنند. بدین ترتیب در تمام محدوده فرکانس میانی مقادیر بهره ، امپدانس ورودی و امپدانس خروجی ثابت خواهند ماند. اما میدانیم که محدوده فرکانسی هیچ تقویت کننده ای بینهایت نیست ، با کاهش فرکانس سیگنال ورودی معمولا خازن های کوپلاژ و بایپاس و با افزایش آن خازنهای پراکنده و ذخیره بار عملکرد خطی مدار را تحت الشعاع خود قرار خواهند داد.

در این فصل عملکرد تقویت کننده های یک و چند طبقه در فرکانس بالا مورد بررسی قرار خواهند گرفت . برای رسیدن به این منظور میبایست مدار معادل مناسبی را برای قطعات فعال در اختیار داشته باشیم . به همین منظور ابتدا مطالبی در خصوص روش ساخت ترانزیستورها (بالاخص ساخت ترانزیستور در مدارات مجتمع) ارائه خواهیم نمود ، سپس با توجه به ساختمان داخلی ترانزیستورها مدار معادل نوع هایبرید π ترانزیستورهای BJT و FET را ترسیم و در خصوص هر یک از عناصر موجود در مدار معادل مطالبی را ارائه خواهیم نمود. تعیین پاسخ فرکانسی مدارات یک طبقه با استفاده از روش های مختلف و در نهایت انتخاب مناسب ترین روش برای تعیین پاسخ فرکانسی یک مدار چند طبقه اهداف بعدی این فصل خواهند بو د.

۱-۲ مراحل ساخت قطعات فعال

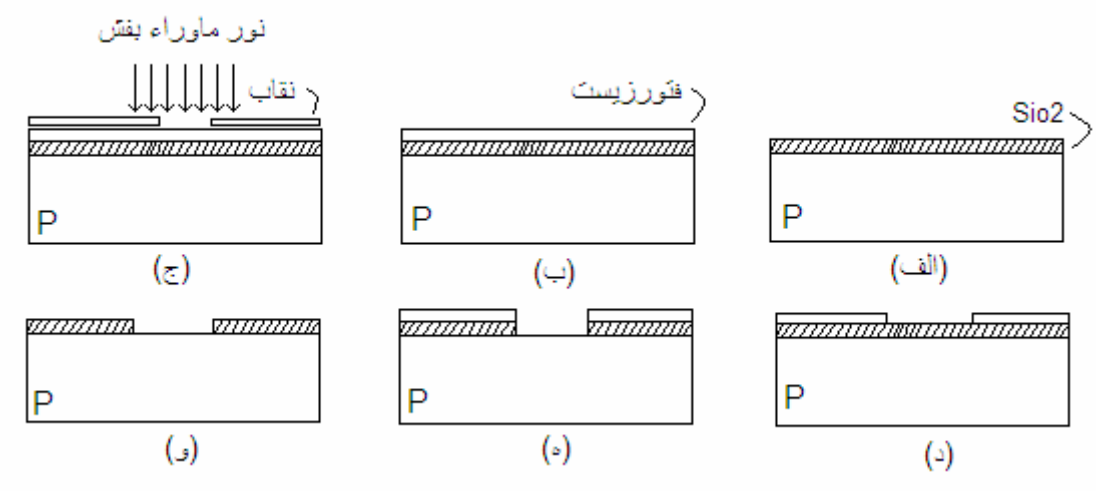
مراحل ساخت انواع مدارهای مجتمع و اغلب ترانزیستورهای مجزای جدید ، مبتنی بر اجرای مجموعه ای از عملیات فوتولیتوگرافی (photolithography) ، کشت یونی (Ion Implantation) یا نفوذ (diffusion) و رشد رونشستی (epitaxial growth) بر روی قطعه ای از ماده سلیسیمی به

نام پولک (wafer) است . قبل از توصیف مراحل ساخت یک ترانزیستور ، ابتدا در خصوص هر یک از مراحل فوق توضیحاتی ارائه خواهد شد.

۱-۲-۱: فوتولیتوگرافی

با قرارگرفتن یک قطعه سیلیسیم بلورین در محیط اکسید کننده ، لایه نازکی از سیلیسیم اکسیده شده (دی اکسید سلیسیم SiO_2) روی سطح آن تشکیل خواهد شد (اکسیداسیون) . این لایه مانند سدی در مقابل نفوذ نا خالصی ها به درون قطعه عمل می کند . به منظور وارد کردن ناخالصی به درون قطعه یا رشد لایه ای با ناخالصی متفاوت برای تولید پیوند PN میبایست به نحوی بخشی از لایه اکسید شده زدوده شود. زدودن انتخابی لایه اکسید شده در نواحی مورد نظر از طریق نقاب کشی و حکاکی انجام می گیرد. مراحل این فرایند در شکل فرضی ۱-۱ نمایش داده شده است. فرض کنید که لایه اولیه یا همان پولک از سلیسیم نوع P باشد. ابتدا با انجام عمل اکسیداسیون لایه ای اکسید شده به ضخامت ۰/۲ تا ۱ میکرون روی سطح فوقانی پولک ایجاد می کنیم . پولک بدست آمده بعد از این مرحله در شکل ۱-۱(الف) نشان داده شده است. برای زدودن لایه SiO_2 از نواحی انتخابی ، ابتدا سطح اکسید شده پولک با لایه نازکی ازماده حساس به نور مطابق شکل ۱-۱(ب) پوشانده می شود ، این لایه حساس به نور فوتورزیست نام دارد و نمونه ای از آن فوتورزیست کداک یا KPR است. اگر نورماوراء بنفش به این لایه تابانده شود ، فوتورزیست پلیمریزه خواهد شد . فوتورزیست پلیمریزه نشده (نواحی نور ندیده) درمحلول شیمیائی تری کلرواتیلن حل می شود ، در حالی که این محلول شیمیائی بر فوتورزیست نور دیده (پلیمریزه شده) اثری نخواهد داشت . برای انتخاب نواحی مورد نظراز نقابی نوری موسوم به ماسک استفاده می شود. ماسک عبارتست از یک صفحه شفاف که نواحی مورد نظرروی آن کاملا سیاه شده است. این ماسک روی صفحه پوشیده شده با فوتورزیست قرار می گیرد و مطابق شکل ۱-۱(ج) به آن نور ماوراء بنفش تابانده می شود ، سپس با برداشتن ماسک پولک درمحلول تری کلرواتیلن قرار می گیرد و بدین ترتیب مطابق شکل ۱-۱(د) فوتورزیست پلیمریزه نشده از روی صفحه پاک خواهد شد و حال آنکه لایه پلیمریزه شده روی صفحه باقی خواهد ماند (به این عمل اصطلاحاً ظهور می گویند). لایه فوتورزیست باقی مانده در مقابل محلول شیمیائی بعدی که برای زدودن SiO_2 بکار خواهد رفت کاملا مقاوم است. اسید هیدروفلوریک محلولی است که می تواند دی اکسید سیلیسیم را در خود حل کند، بدین ترتیب با قرار دادن پولک در این محلول لایه اکسید زدوده و مطابق شکل ۱-۱(ه) پنجره ای به روی لایه اولیه سیلیسیم باز خواهد شد. فوتورزیست باقیمانده بعداً به وسیله یک حلال شیمیائی (اسید سولفوریک غلیظ) زدوده می شود

و نهایتاً نمونه راهمراه با تعدادی حفره (دریچه) درلایه SiO_2 درمحلهای مورد نظرمطابق شکل ۱-۱(و) بر جای می گذارد.



شکل ۱-۱ مثالی از مراحل فوتولیتوگرافی (الف) مرحله اکسیداسیون (ب) استفاده از فوتورزیست (ج) تابش اشعه ماوراء بنفش (د) ظهور فوتورزیست (ه) حکاکی لایه SiO_2 (و) زدودن لایه فوتورزیست

۱-۲-۲: کشت یونی

کشت یونی روش تزریق مستقیم اتم های ناخالصی به یک پولک سیلیسیمی است. پولک در یک اتاقک خلاء قرار می گیرد و یون های ناخالصی مورد نظر با سرعت زیاد به طرف نمونه پرتاب می شوند. این یونها ، بسته به سرعت برخوردشان به نمونه تا عمق متوسطی از کمتر از ۰/۱ میکرون تا تقریباً ۰/۶ میکرون به داخل سطح پولک سیلیسیمی نفوذ می کنند. سپس پولک برای مدتی درحدود ۱۰ دقیقه در دمای متوسط ۸۰۰ درجه سانتیگراد قرار داده می شود تا یون ها تحریک یافته و در شبکه بلوری مستقر شوند. این مرحله را اصطلاحاً آبدیده کردن می نامند و برای ترمیم هر نوع آسیبی که کشت بر بلور وارد می کند ضروری است. لازم به ذکر است که به جای کشت یونی در مواردی از روش نفوذ ناخالصی استفاده می کنند ، البته روش کشت یونی نسبت به روش نفوذ دارای مزیت هایی است که برخی از آنها عبارتند از (الف) امکان کنترل میزان نفوذ ناخالصی در واحد سطح با دقت بسیار بالا (ب) قابل تکرار بودن فرایند برای رسیدن به یک میزان ناخالصی مورد نظر.

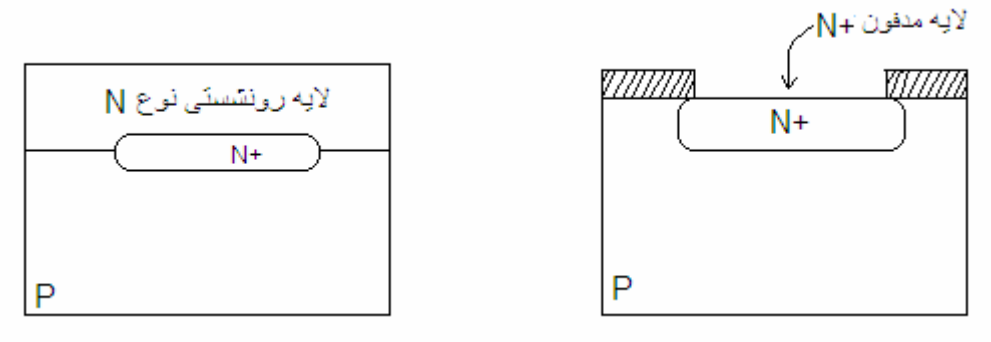
۳-۲-۱ :رشد رونشستی (Epitaxial growth)

رشد رونشستی عبارت است از تشکیل لایه ای از سیلیسیم تک بلوری (موسوم به لایه اپیتکسیال یا به اختصار لایه اپی) روی سطح نمونه ی سیلیسیم ، به طوری که ساختار بلوری سیلیسیم در حد فاصل دو قسمت پیوسته باشد. غلظت ناخالصی در لایه ی اپی مستقلاً قابل کنترل است و می تواند از غلظت ناخالصی در ماده ی زیر بنا کمتر یا بیشتر باشد.علاوه بر این نوع ناخالصی لایه ی اپی اغلب مخالف زیر بنائی است که روی آن رشد داده می شود. ضخامت لایه ی اپی که در ساخت مدارهای مجتمع به کار می روند از ۱ تا ۲۰ میکرون تغییر می کند و رشد آنها به این ترتیب انجام می گیرد که ابتدا پولک را در محیطی شامل تتراکلرید سیلیسیم($SiCl_4$) یا سیلان (SiH_4) با دمای بالا (۱۲۰۰ درجه سانتیگراد) قرار می دهند. در این صورت واکنشی شیمیائی رخ می دهد که در آن سیلیسیم خالص تولید و بر سطح پولک می نشیند . در صورتی که شرائط به دقت کنترل شده باشند لایه سطحی سیلیسیمی حاصل بلورین و تقریباً بدون عیب خواهد بود . این لایه به عنوان ماده ی اولیه برای ساخت ترانزیستورهای دو قطبی مناسب است. رشد رونشستی در برخی از روشهای ساخت CMOS نیز کاربرد دارد.

۳-۱: ساخت مدارهای مجتمع دو قطبی

ساخت یک مدار مجتمع دو قطبی کامل شامل مجموعه ای از پنج الی هشت مرحله لیتوگرافی ، کشت یونی و رشد رونشتی از نوعی است که قبلاً توصیف گردیدند. ماده ی اولیه ساخت هر مدار مجتمع یک پولک سیلیسیمی از نوع P است که معمولاً ضخامت آن ۲۵۰ میکرون و غلظت ناخالصی تقریباً 10^{16} اتم بر سانتیمتر مکعب دارد. در این بخش مراحل ساخت یک ترانزیستور NPN مدار مجتمع را بررسی می کنیم. چنانکه در شکل ۱-۲ الف ملاحظه می کنید ، با انجام یک مرحله لیتوگرافی و کشت یونی یک لایه نوع N با نا خالصی بسیار زیاد به وجود می آید که در نهایت مسیری با مقاومت اندک برای جریان کلکتور خواهد بود. این مرحله را نفوذ لایه ی مدفون و خود لایه را لایه ی مدفون می نامند. مقاومت ورقه ای لایه درحدود ۲۰ تا ۵۰ اهم بر مربع ($\frac{\Omega}{\square}$) است و ناخالصی مورد استفاده معمولا آرسنیک یا آنتیموان است. پس از نفوذ لایه مدفون ،

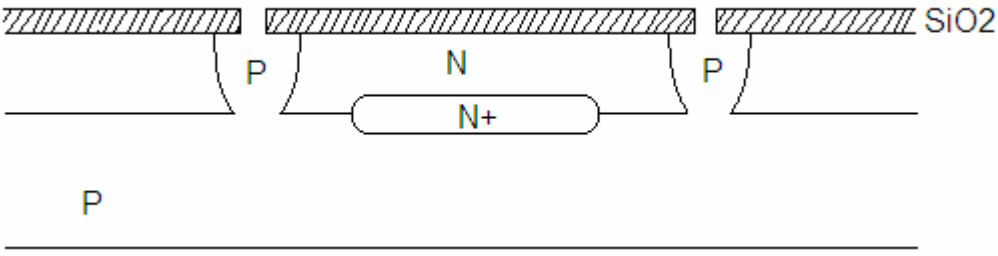
تمام اکسید از پولک زدوده و مطابق شکل ۱-۲ ب لایه ی اپی رشد داده می شود. ضخامت این لایه و غلظت ناخالصی نوع N آن ولتاژ



شکل ۱-۲: (الف) نفوذ لایه مدفون (ب) پولک مدار مجتمع پس از رشد لایه رونشستی

شکست ترانزیستورهای مداررا تعیین می کنند زیرا این ماده ناحیه کلکتور ترانزیستور را تشکیل می دهد.

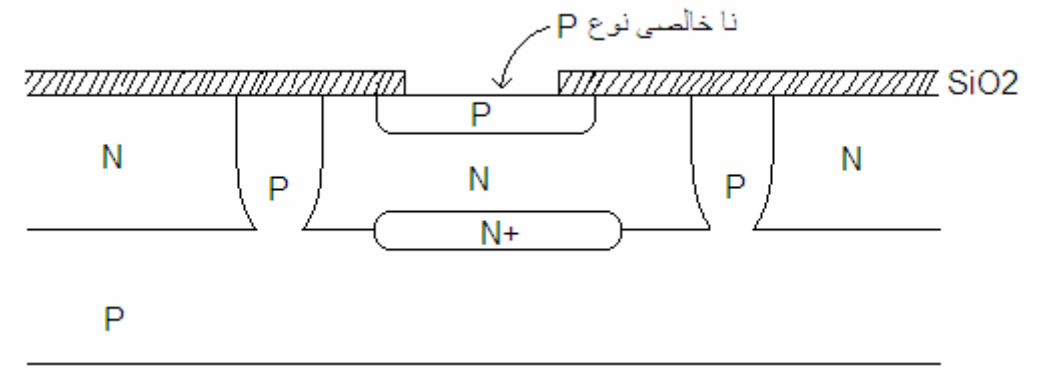
پس از رشد لایه ی رونشستی ، لایه اکسیدی روی سطح بالایی لایه رونشستی رشد داده می شود. یک مرحله لیتوگرافی و نفوذ با ناخالصی بور(ایجاد کریستال نوع P) انجام می گیرد که از آن ساختاری نظیر شکل ۱-۳ حاصل می شود. نقش این عمل جدا سازی کلکتور ترانزیستورها از یکدیگر به وسیله پیوندهای PN با بایاس معکوس است، و آن را نفوذ ناحیه جداساز می نامند.به دلیل عمقی که برای این نفوذ لازم است ، این عمل باید به مدت چندین ساعت در یک کوره نفوذ در دمایی در حدود ۱۲۰۰ درجه سانتیگراد انجام گیرد . مقاومت ورقه ای لایه جدا ساز از ۲۰ تا ۴۰ اهم بر مربع است. با اتمام این مرحله روی لایه مدفون حوضچه ای از سلیسیم با ناخالصی نوع N تشکیل می گردد که همان کلکتور ترانزیستور نوع NPN خواهد بود .



شکل ۱-۳ ساختار پس از نفوذ لایه جدا ساز و تشکیل حوضچه کلکتور

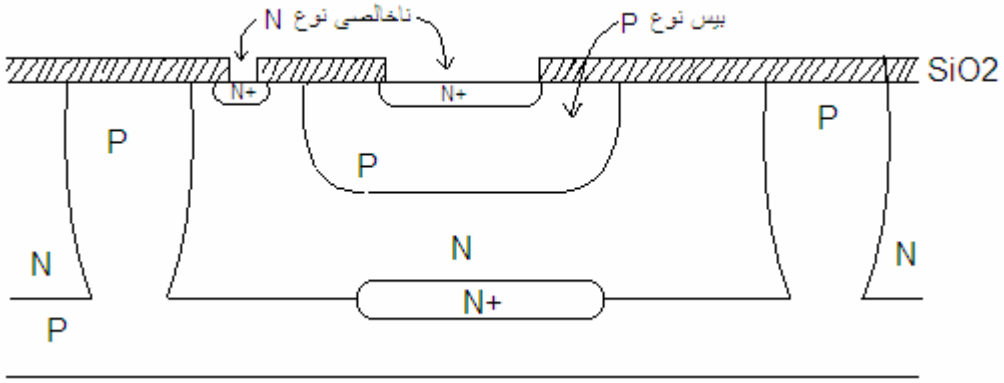
پس از این مرحله ، مجدداً عملیات فوتولیتوگرافی و کشت یونی انجام می گیرد. ناخالصی بکار رفته در این مرحله بور خواهد بود و حوضچه ای به عمق ۱ تا ۳ میکرون با مقاومت ورقه ای بین ۱۰۰ تا ۳۰۰ اهم بر مربع در داخل حوضچه کلکتور ایجاد میشود که ساختار جدید در شکل ۱-۴ نشان داده شده است. حوضچه جدید تولید شده همان بیس ترانزیستور خواهد بود . لازم به ذکر است

که این عمل نفوذ نه تنها بیس ترانزیستور، بلکه بسیاری از مقاومتهای مورد لزوم مدار را شکل می دهد و بنابراین کنترل مقاومت ورقه ای در آن اهمیت به سزائی دارد.



شکل ۱-۴ ساختار پس از نفوذ ناحیه بیس

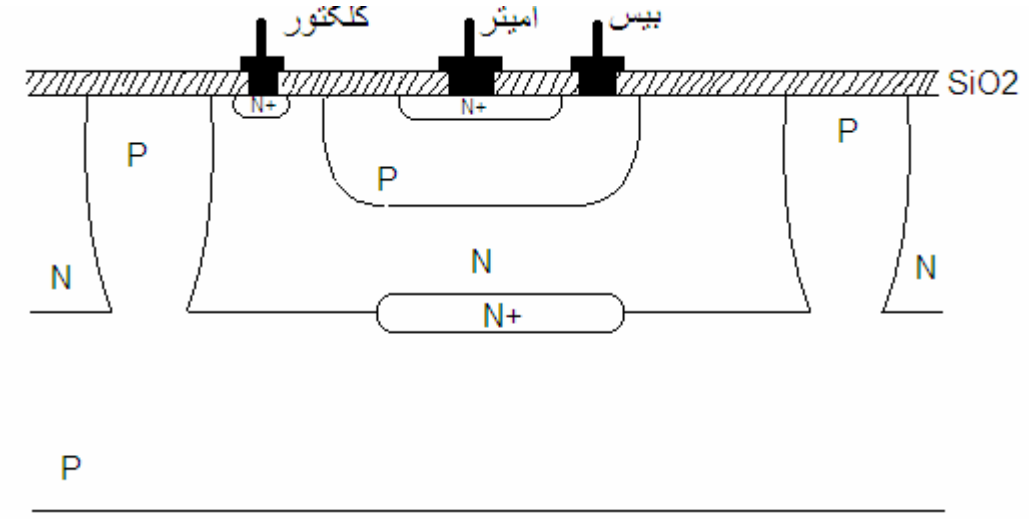
به دنبال ایجاد حوضچه بیس ، با انجام یک مرحله دیگر ازعملیات لیتوگرافی و کشت یونی ، امیتر ترانزیستورکه از نوع N است مطابق شکل ۱- ۵ تشکیل می شود. مقاومت ورقه ای این حوضچه بین ۲ تا ۱۰ اهم بر مربع و عمق آن بین ۰/۵ تا ۲/۵ میکرون خواهد بود. این مرحله نفوذ برای تشکیل ناحیه ای کم مقاومت نیز به کار می رود که به عنوان محل اتصال به ناحیه کلکتور عمل می کند. این کار ضروری است چرا که ایجاد مستقیم اتصال اهمی بین لایه آلومینیمی و ماده رونشستی که مقاومت بزرگی دارد دشوار است.



شکل ۱-۵ : ساختار پس از ایجاد حوضچه امیتر

در مرحله بعد با تکرار عملیات لیتوگرافی که به لیتوگرافی اتصال معروف است سوراخهایی درلایه اکسید روی مجموعه در محل های امیتر ، بیس و کلکتور ترانزیستورایجاد میشود تا بتوان از این طریق با آنها اتصال الکتریکی برقرار کرد. لازم به ذکر است که با انجام فرایندهای مشابه اجزاء غیر فعال (مقاومت ها) روی پولک تولید می شوند و برای برقرای ارتباط در همین مرحله پنجره های اتصال برای آنها نیز باز می شود. سپس کل پولک با لایه آلومینیمی نازکی به

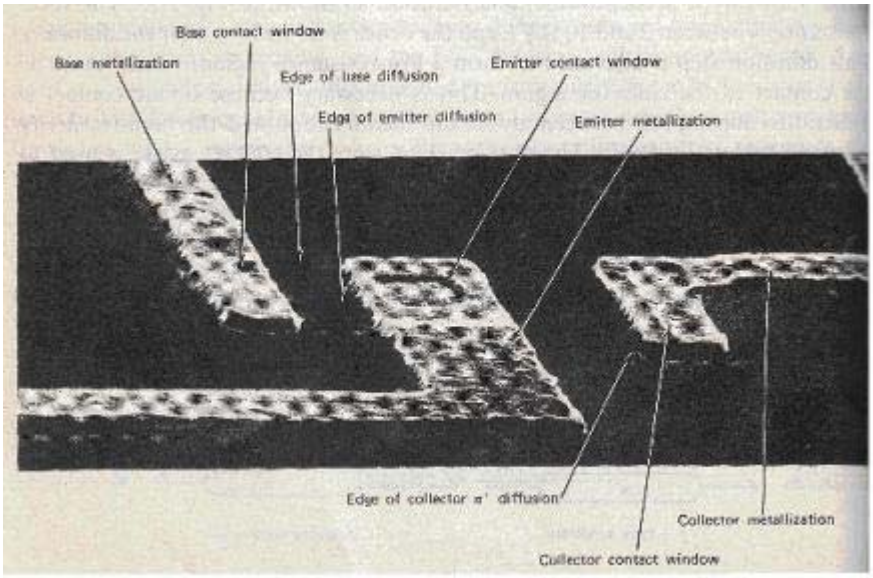
ضخامت حدوداً ۱ میکرون پوشانده می شود و با انجام یک مرحله دیگر ازعملیات لیتو گرافی آلومینیم های مازاد از سطح قطعه زدوده شده و بخش های که برای ارتباط اجزاء یک مدارمجتمع هستند روی پولک باقی خواهد ماند. ساختار نهایی قطعه در شکل ۱-۶ نشان داده شده است .



شکل ۱-۶ ساختار نهای پس از عملیات لیتوگرافی اتصالها و فلز نشانی

در شکل ۱-۷ یک عکس میکروسکوپی از ساختار ظاهری قطعه تولید شده ارائه شده است. توجه داشته باشید که با مجموعه ی عملیات فوق ساخت همزمان هزاران مدار پیچیده روی یک تکه پولک امکانپذیر می شود. پس از انجام مرحله نهایی ، پولک مورد آزمایش قرار می گیرد و قطعات یا مدارهای ناسالم با نقطه رنگی مشخص می شوند. سپس با برش دادن (همانند برش شیشه) قطعات یا مدارات را از هم جدا می کنند و به هریک از تراشه های حاصل یک تاس می گویند. تاس های سالم را در محفظ هایی سوار و برای آزمایش نهایی آماده می کنند.

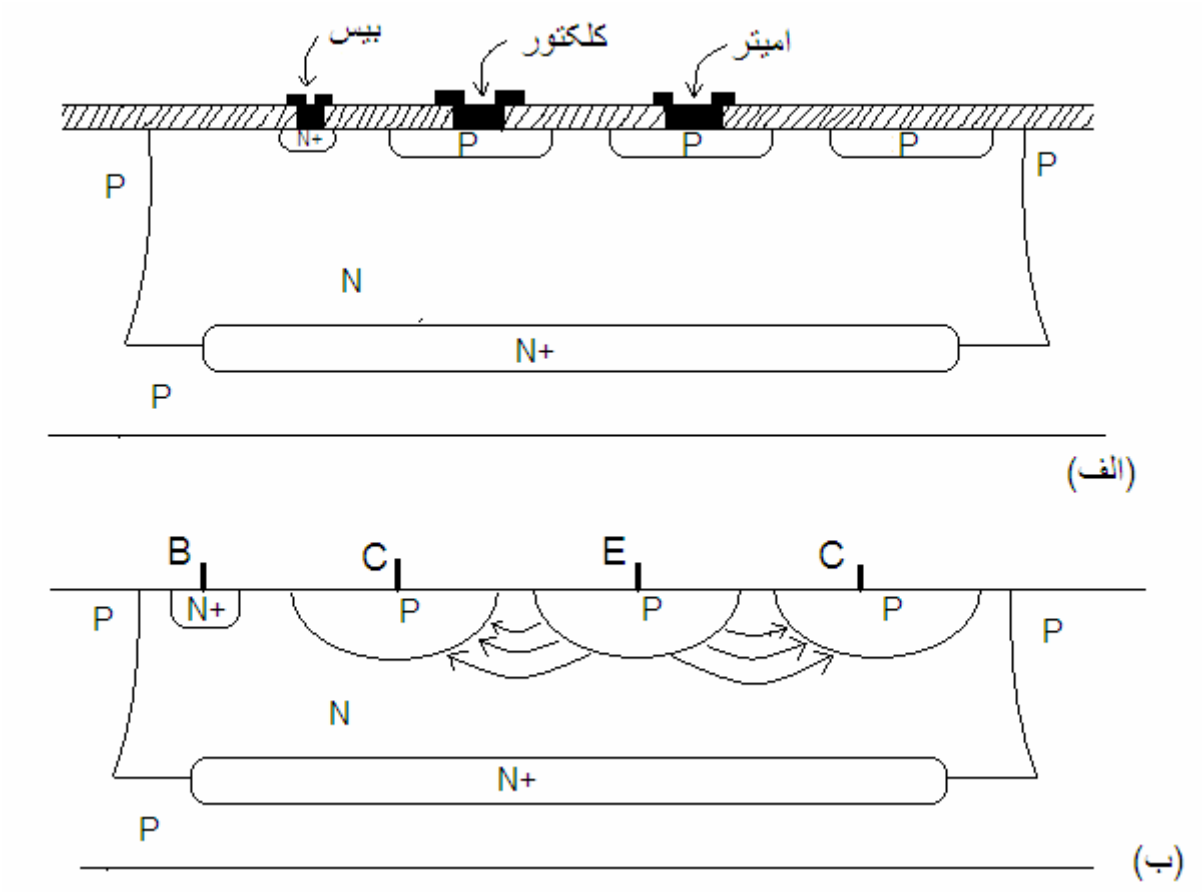
مراحل فوق مربوط به ساخت یک ترانزیستور NPN بود ، لکن در بسیاری از مدارهای الکترونیکی ترانزیستورهای PNP هم مورداحتیاج است که معمولاً آنها را با روش استاندارد و به صورت افقی و



شکل ۱-۷ تصویر ساختار ظاهری ترانزیستور با استفاده از میکروسکوپ الکترونی

زیر بنائی تولید می کنند. بنابراین ، قبل از ترسیم مدار معادل مطالب مختصری را در خصوص نحوه ساخت ترانزیستورهای PNP افقی ارائه خواهیم نمود . دانشجویان می توانند به منظور کسب اطلاعات بیشتر در خصوص مراحل ساخت ترانزیستورهای PNP زیر بنائی به مرجع شماره [1] مراجعه کنند.

مراحل ساخت ترانزیستورهای PNP افقی مشابه ساخت ترانزیستورهای NPN با اندک تفاوتی در محل و نوع حوضچه های ایجاد شده است. برشی از سطح مقطع ساختار یک ترانزیستور PNP افقی در شکل ۱-۸ نشان داده شده است. همانطور که در شکل ۱-۸ الف ملاحظه میکنید ، پس از رشد لایه رونشستی نوع N و نفوذ حوضچه های جدا ساز ، چهار حوضچه دیگر در داخل لایه رونشستی نوع N نفوذ داده می شود. سه حوضچه با ناخالصی نوع P که نهایتاً یکی از آنها به عنوان امیتر و دو حوضچه دیگر به عنوان کلکتور عمل خواهند نمود. حوضچه چهارم با ناخالصی بسیار بالای نوع N است که همان بیس ترانزیستور خواهد بود. نحوه عبور حاملهای اقلیت در ناحیه بیس این نوع ترانزیستور در شکل ۱-۸ ب نشان داده شده است. بر خلاف ترانزیستورهای نوع NPN که عبور حاملها از امیتر به سمت کلکتور در عمق انجام می گیرد در ترانزیستورهای PNP عبور حاملها به صورت افقی و در امتداد سطح تراشه انجام می گیرد. به همین دلیل به آن ترانزیستور افقی می گویند. اگر ساختار این دو نوع ترانزستور را با هم مقایسه کنیم متوجه خواهیم شد که در ترانزیستورNPN کلکتور بصورت بشقابی امیتر ترانزیستور را در خود جای داده است و به همین دلیل اغلب قریب به اتفاق حامل های خارج شده از ناحیه امیتر از ناحیه بیس عبور کرده و وارد ناحیه کلکتور خواهند شد . اما در ترانزیستور نوع PNP چنین ویژگی وجود ندارد و به همین دلیل کارائی ترانزیستورهای PNP مشابه کارائی ترانزیستورهای NPN نخواهد بود . البته تلاش فراوانی می شود تا خصوصیات هر دو نوع تا حد ممکن نزدیک به یکدیگر باشند .



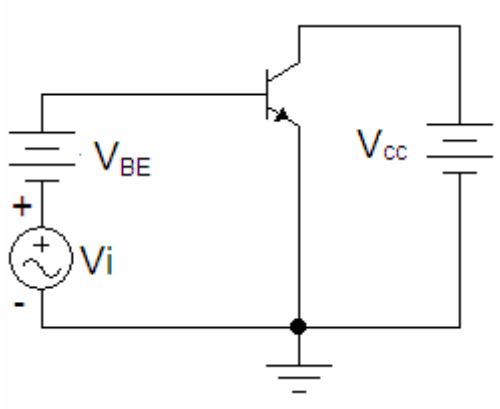
شکل ۱-۸ : (الف) ساختار ترانزیستور PNP افقی (ب) عبور حاملهای اقلیت در ترانزیستورافقی

۱-۴ : مدلهای سیگنال - کوچک ترانزیستورهای دو قطبی

مدارهای آنالوگ اغلب با سیگنال هایی کار می کنند که در مقایسه با جریان ها و ولتاژهای بایاس کننده مدار کوچک هستند. در این شرائط مدلهای سیگنال – کوچک را می توان بدست آورد که محاسبه بهره ی جریان یا ولتاژ و امپدانسهای پایانه را بدون لزوم دخالت کمیت های بایاس امکان پذیر می سازد. برای یک ترانزیستور، مدار معادل با پیچیدگی های متفاوت را می توان بدست آورد که انواع پیچیده تر آنها برای تحلیل های رایانه ای بکار می روند. بخشی از مهارت طراحان در این است که بدانند در محاسبات دستی یک مدار خاص ، کدام یک از اجزاء مدل را می توان حذف کرد. این موضوع بعداً مورد بررسی قرار خواهد گرفت.

ترانزیستوردو قطبی NPN با ساختار کلی شکل ۱-۶ را که با ولتاژهای V_{BE} و V_{CC} بایاس شده و در شکل ۱-۹ نشان داده شده است را در نظر بگیرید. این ولتاژها ، سطح اتصال بیس- امیتر (J_e) را در بایاس مستقیم و سطح اتصال بیس- کلکتور (Jc) را در بایاس معکوس قرار داده و جریان ثابت کلکتور I_C و جریان ثابت بیس I_B را به وجود می آورند و ترانزیستور را در ناحیه فعال مستقیم قرار می دهند. حال فرض کنید در ورودی ، سیگنال-کوچک v_i بطور سری با V_{BE} به مدار اعمال

شود. این ولتاژ تغییر کوچکی به اندازه i_b را در جریان ثابت بیس و تغییر کوچکی به اندازه i_c را در جریان ثابت کلکتور به وجود خواهد آورد. بدین ترتیب، مقادیر کل جریان های بیس و کلکتورترانزیستور به ترتیب I_b وI_c خواهند بود که $I_b =(I_B + i_b)$ و $I_c = (I_C + i_c)$ است .



شکل ۱-۹ : تاثیر یک ولتاژ ورودی سیگنال کوچک اعمال شده به ترانزیستور دو قطبی

حال اجازه دهید ، نتیجه اعمال این ولتاژها را در داخل ترانزیستورNPN و در ناحیه بیس مورد بررسی دقیق قرار دهیم . همانگونه که می دانید در یک قطعه کریستال با ناخالصی نوع N تعداد زیادی الکترون آزاد به عنوان حامل اکثریت و تعداد کمی حفره به عنوان حامل اقلیت و در کریستال نوع P به عکس تعداد کمی الکترون به عنوان حامل اقلیت و تعداد زیادی حفره به عنوان حامل اکثریت وجود دارد. در صورتی که این دونوع کریستال مطابق روشی که قبلاً بیان شد در کنار هم قرار بگیرند یک پیوند PN را بوجود خواهند آورند. به دلیل اختلاف غلظت حامل ها و تمایل ترکیب الکترون و حفره ، حاملها از سطح اتصال گذشته و ضمن ترکیب با حامل مخالف یک اتم ناخالصی را به یک یون تبدیل می کنند (با ترکیب الکترون مازاد یک عنصر پنج ظرفیتی با حفره یک عنصر سه ظرفیتی یک یون منفی بوجود خواهد آمد) . با تبدیل شدن ناخالصی های موجود در محدوده پیوند به یون مثبت (در کریستال نوع N) و منفی (در کریستال نوع P)، ناحیه ای در محل پیوند بوجود می آید که فاقد حفره ها و الکترون های آزاد متحرک است و تنها یونهای ثابت پذیرنده (یون منفی) و دهنده (یون مثبت) در آن قرار خواهند داشت. بدین ترتیب درمحل پیوند یک بار فضائی قابل توجه و در نتیجه یک میدان الکتریکی قوی بوجود خواهد آمد و مانع ادامه جابجائی حامل ها خواهد شد ، این ناحیه را ناحیه بار فضائی یا ناحیه تخلیه (تهی) می نامند . با توجه به این مطالب ، با اتمام مراحل ساخت ترانزیستور دوقطبی ، نواحی تهی در پیوندهای J_E و J_C بوجود خواهند آمد و ترانزیستور را مطابق آنچه در شکل ۱-۱۰ ملاحظه می کنید در حالت تعادل قرار خواهند داد. در همین حالت (بایاس صفر) ، یک ولتاژ ψ_o روی پیوند وجود دارد که پتانسیل درون ساخته نامیده می شود. همین پتانسیل

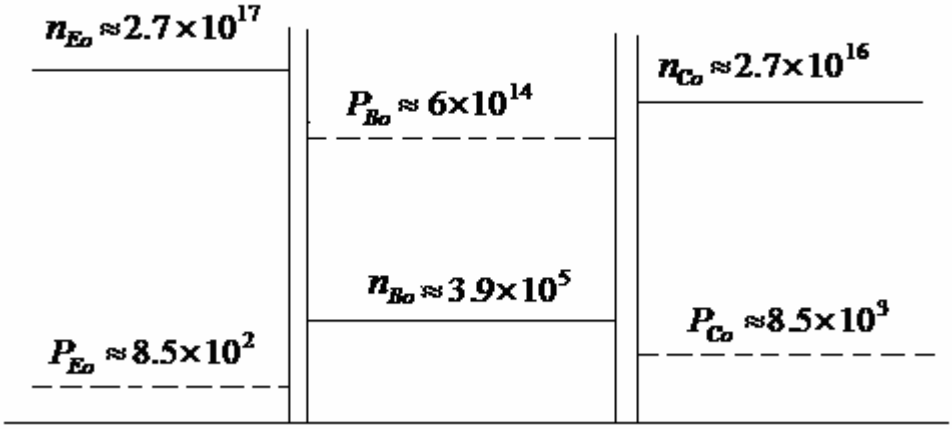
است که درحالت تعادل با نفوذ حفره ها و الکترونهای متحرک در پیوند مخالفت می کند و برابر است با :

$$\psi_o = V_T \ln \frac{N_A N_D}{n_i^2} \qquad (۱-۱)$$

در رابطه فوق N_A چگالی نا خالصی در ماده نوع P و N_D چگالی ناخالصی در ماده نوع N و واحد آنها اتم بر سانتیمتر مکعب است . بعلاوه n_i غلظت حامل های ذاتی در یک نمونه نیمه هادی خالص است و مقدار آن برای سیلیسیم و ژرمانیوم در $300^o K$ به ترتیب برابراست با $1.5\times10^{10}\ electron/Cm^3$ و $2.4\times10^{13}\ electron/Cm^3$ و مقدار V_T که به " ولتاژمعادل دما " معروف است از رابطه زیر به دست می آید.

$$V_T = \frac{KT}{q} \approx 26\ mV \quad \text{در} \quad 300^o K$$

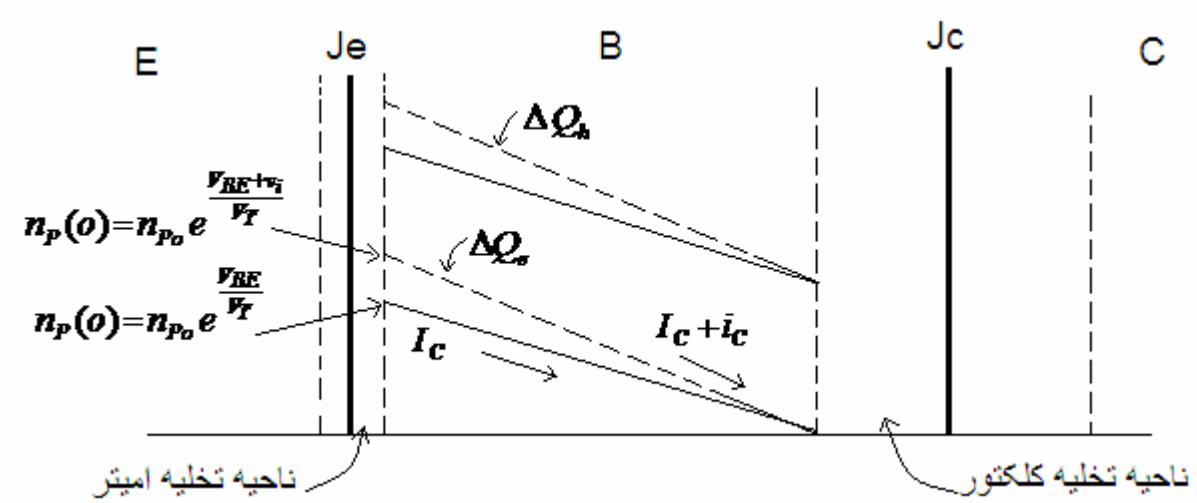
در این رابطه K ثابت بولتزمان بر حسب ژول بر درجه کلوین و q بار الکترون بر حسب کولمب و مقادیر آنها به ترتیب 1.38×10^{-23} و 1.602×10^{-19} است .



شکل ۱-۱۰ : وضعیت چگالی حامل ها در یک ترانزستور بایاس نشده در حالت تعادل حرارتی

با اعمال ولتاژ V_{CC} پیوند سمت کلکتور در بایاس معکوس بیشتر قرار می گیرد و بدین ترتیب عرض ناحیه تهی در آنجا افزایش می یابد ، اما با اعمال ولتاژ V_{BE} و با توجه به پلاریته آن پیوند سمت امیتر در بایاس موافق قرار گرفته و عرض ناحیه تهی به مقدار ناچیزی کاهش می یابد . هنگامی که پیوند سمت امیتر با ولتاژ لازم (ولتاژی در محدوده ۰/۵۵ تا ۰/۷ ولت) در بایاس موافق قرار بگیرد حاملهای الکترونی و حفره ای از آن عبور کرده و در نتیجه تعادل بارها در نواحی کلکتور ، امیتر و بالاخص بیس مطابق شکل ۱-۱۱ بهم خواهد خورد . همانطور که در این شکل

مشاهده می کنید غلظت یا تمرکز حامل ها ی اقلیت (الکترون) درناحیه بیس ترانزیستور در لبه منطقه تهی سطح تماس امیتر $(n_p(o))$ افزایش می یابد و در لبه منطقه تهی سمت کلکتور به صفر می رسد. این تغییر چگالی در حالتی که فقط ولتاژ های بایاس اعمال شده باشند با خطوط پر و در حالت دوم که ولتاژ v_i اضافه شده با خطوط نقطه چین نشان داده شده است . توجه داشته باشید که این موضوع در مورد حامل های اکثریت نیز صادق است.



شکل ۱-۱۱: تغییرات **متناظر در غلظت حامل ها در بیس وقتی ترانزیستور در ناحیه فعال مستقیم قرار دارد**

غلظت حامل ها در لبه منطقه تهی سمت امیتر در دو حالت مختلف به وسیله روابط زیر محاسبه می شود.

$$n_{p(o)} = n_{po}\, e^{V_{BE}/V_T} \qquad (۲-۱)$$

در صورتی که v_i هم به مدار اعمال شده باشد :

$$n_{p(o)} = n_{po}\, e^{V_{BE}+v_i/V_T} \qquad (۳-۱)$$

در روابط فوق $n_p(o)$ غلظت الکترون در لبه منطقه تهی سطح تماس بیس- امیتر و n_{po} غلظت الکترون در منطقه بیس در حالت تعادل است . حال با استفاده از این اشکال می توان عناصر مدار معادل سیگنال-کوچک ترانزیستور دو قطبی را بدست آورد.

۱-۴-۱ : هدایت انتقالی (ترارسانا)

با توجه به شکل ۱-۱۰ و ۱-۱۱ می بینیم که با اعمال ولتاژهای V_{BE} و V_{CC} جریانی در پایه کلکتور برقرار خواهد شد که وابستگی اصلی این جریان به V_{BE} است . بنابراین ،هدایت انتقالی را می توان به صورت زیر تعریف نمود .

$$g_m = \frac{d I_C}{d V_{BE}} \qquad (۴-۱)$$

چون

$$\Delta I_C = \frac{d I_C}{d V_{BE}} \Delta V_{BE} \quad \Rightarrow \quad \Delta I_C = g_m \Delta V_{BE} \qquad (۵-۱)$$

و با توجه به $\Delta V_{BE} = v_i$ و $\Delta I_C = i_c$ پس می توان نوشت :

$$i_C = g_m v_i$$

با توجه به اینکه رابطه جریان کلکتور ترانزیستور بایاس شده برابراست با $I_C = I_S e^{V_{BE}/V_T}$ (این رابطه در دروس قبلی الکترونیک اثبات شده است) بنابراین مقدار g_m را می توان به قرار زیر محاسبه کرد :

$$I_C = I_S e^{V_{BE}/V_T} \quad \Rightarrow \quad dI_C = \frac{I_S}{V_T} e^{V_{BE}/V_T} dV_{BE}$$

$$\frac{dI_C}{dV_{BE}} = g_m = \frac{I_S e^{V_{BE}/V_T}}{V_T} = \frac{I_C}{V_T} = \frac{q I_C}{KT} \qquad (۶-۱)$$

برای اینکه محدودیت های موجود در آنالیز سیگنال - کوچک را مورد بررسی قرار دهیم ، رابطه فوق را مجدداً با فرض اینکه ولتاژ اعمال شده به بیس ترانزیستور $V_{BE} + v_i$ است را محاسبه می کنیم.

$$I'_c = I_S e^{V_{BE}+v_i/V_T} = I_S e^{V_{BE}/V_T} e^{v_i/V_T} = I_C e^{v_i/V_T} \qquad (۷-۱)$$

اگر $\frac{v_i}{V_T} << 1$ باشد رابطه ۱-۷ را می توان به صورت سری توانی زیر نوشت

$$I'_c = I_C [1 + \frac{v_i}{V_T} + \frac{1}{2}(\frac{v_i}{V_T})^2 + \frac{1}{6}(\frac{v_i}{V_T})^3 + ...] \qquad (۸-۱)$$

با توجه به اینکه جریان اضافه شده ککتور یا همان i_c برابراست با $i_c = I'_c - I_C$ پس:

$$i_c = I_C [\frac{v_i}{V_T} + \frac{1}{2}(\frac{v_i}{V_T})^2 + \frac{1}{6}(\frac{v_i}{V_T})^3 + ...] \qquad (۹-۱)$$

اگر $v_i << V_T$ باشد در آنصورت رابطه (۱-۹) به رابطه زیر که همان نتیجه نهائی رابطه (۱-۶) است تقلیل خواهدیافت یعنی :

$$i_c = \frac{I_C}{V_T} v_i \quad \Rightarrow \quad i_c = g_m v_i$$

با توجه به رابطه بدست آمده می توان استدلال کرد که اگرشرط فوق صادق نباشد ، بنابراین ، مدل بدست آمده در سیگنال-کوچک قابل استفاده نخواهد بود . بنابراین با قبول فرض فوق ، محدوده تغییرات ولتاژ بیس-امیتر پس از بایاس شدن ترانزیستور (V_i) در دمای ۲۵ درجه سانتیگراد تقریبا برابراست با :

$$\Delta V_{BE} = v_i << 26 \ mV \qquad (۱۰-۱)$$

در عمل اثبات شده است که اگر ΔV_{BE} کمتر از 10 mV باشد ، آنالیز سیگنال - کوچک دارای دقت قابل قبولی خواهد بود .

۱-۴-۲: خازن ناشی از بار گیری بیس (خازن نفوذی)

شکل ۱-۱۱ نشان می دهد که تغییر ولتاژ بیس – امیتر $\Delta V_{BE} = v_i$ باعث تغییر ذخیره بار در ناحیه بیس می شود. بار ذخیره شده در ناحیه بیس در یک ترانزیستور NPN از نوع حاملهای اقلیت الکترونیکی است و تغییر آن را با $\Delta Q_e = q_e$ نشان می دهیم . لازمه خنثی بودن الکتریکی این است که تغییری مساوی $\Delta Q_h = q_h$ نیز در بار حامل های اکثریت بیس به وجود آید. از آنجا که حامل های اکثریت به وسیله پایه بیس تامین می شوند ، اعمال ولتاژ V_i تامین بار q_h را برای بیس ایجاب می کند و بنابراین ترانزیستور یک خازن ظاهری در ورودی دارد که چنین است .

$$C = \frac{dq}{dv} \quad \Rightarrow \quad C_b = \frac{q_h}{v_i} \qquad (۱۱-۱)$$

با توجه به این که $i = \frac{dq}{dt}$ است و با مقایسه این رابطه و شکل ۱-۱۱ می توان به این نتیجه رسید که $i = i_c = \Delta I_C$ و $dq = \Delta Q_h = q_h$ و $dt = \Delta t = \tau_f$. توجه داشته باشید که τ_f دارای بعد زمان است و آنرا اصطلاحاً زمان گذر بیس در جهت مستقیم می نامند ، بعلاوه از آنجا که این کمیت برابراست با نسبت بار در حال عبور(q_h) به جریان گذرنده (i_c) ، بنابراین می توان آن را به عنوان زمان متوسطی دانست که هر حامل برای گذر از بیس لازم دارد. با در نظر گرفتن روابط فوق :

$$C_b = \frac{q_h}{v_i} = \frac{i_c}{v_i} \tau_f \quad \text{و} \quad \frac{i_c}{v_i} = g_m \quad \Rightarrow \quad C_b = g_m \tau_f = \frac{I_C}{V_T} \tau_f \qquad (۱۲-۱)$$

همانطور که قبلاً اشاره شد τ_f زمان گذر بیس در جهت مستقیم است . قطعا این زمان گذر با عرض ناحیه بیس که به W_B نشان داده می شود نسبت مستیم وبا ثابت نفوذ الکترون در آن ناحیه که به D_n نشان داده می شود نسبت عکس دارد . در حقیقت می توان اثبات نمود که :

$$\tau_f = \frac{q_e}{i_c} = \frac{W_B^2}{2D_n} \qquad (۱۳-۱)$$

با در نظر داشتن رابطه ۱-۱۳ ، اولاً مقدار τ_f تا حدود زیادی مستقل از شرائط کار است و ثانیاً مقادیر نوعی آن برای ترانزیستورهای NPN مدار مجتمع ۰/۱ تا ۱ نانوثانیه و برای ترانزیستورهای افقی PNP بین ۲۰ تا ۴۰ نانوثانیه است. بنابراین ، مقدار خازن C_b که در برخی منابع آن را خازن نفوذی می نامند و با C_D نشان می دهند در یک دمای مشخص مستقیماً به جریان ثابت نقطه کار (I_C) وابسته خواهد بود.

۱-۴-۳ : مقاومت ورودی

در ناحیه فعال مستقیم ، جریان بیس به وسیله رابطه ۱-۱۴ به جریان کلکتور مربوط می شود.

$$I_B = \frac{I_C}{\beta_F} \qquad (۱۴-۱)$$

با استفاده از رابطه ۱-۱۴ تغییرات کوچک جریان بیس و کلکتوررا می توان به یکدیگر مربوط کرد.

$$\Delta I_B = \frac{d}{dI_C}\left(\frac{I_C}{\beta_F}\right)\Delta I_C \qquad (۱۵-۱)$$

و بنابراین

$$\beta_o = \frac{\Delta I_C}{\Delta I_B} = \frac{i_c}{i_b} = \left[\frac{d}{dI_C}\left(\frac{I_C}{\beta_F}\right)\right]^{-1} \qquad (۱۶-۱)$$

در این رابطه β_o بهره جریان سیگنال- کوچک (AC) و β_F بهره جریان ترانزیستور در حالت DC است . مقادیر نوعی β_o و β_F به هم نزدیک هستند و در بسیاری از موارد این دو را مساوی هم فرض نموده و آنرا صرفاً با β نشان می دهند و از آن هم در محاسبات AC و هم DC استفاده می کنند.

معادله ۱-۱۶ تغییر جریان بیس i_b را به تغییر متناظر جریان کلکتور i_C مربوط می سازد ، و مقاومت ورودی سیگنال – کوچک ترانزستور هم از رابطه زیر به دست می آید.

$$r_\pi = \frac{v_i}{i_b} \qquad (۱۷-۱)$$

با جایگزینی (۱-۱۶) در (۱-۱۷) نتیجه میشود

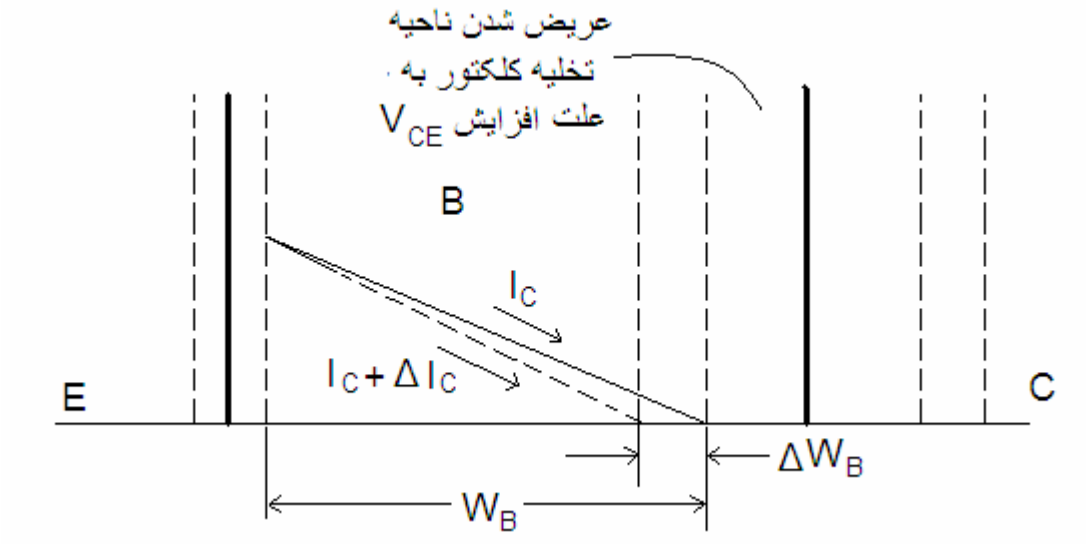
$$r_\pi = \frac{v_i}{i_b} = \frac{v_i}{i_C}\beta_o \qquad \text{و} \qquad \frac{v_i}{i_C} = \frac{1}{g_m} \qquad \Rightarrow \qquad r_\pi = \frac{\beta_o}{g_m} = \beta_o r_e \qquad (۱۹-۱)$$

بنابراین مقاومت موازی ورودی سیگنال – کوچک یک ترانزیستور دو قطبی با بهره جریان نسبت مستقیم و با جریان کلکتور(I_C) نسبت عکس دارد.

۱-۴-۴: مقاومت خروجی

در مباحث قبل دیدیم که علاوه بر ولتاژ بیس ولتاژ کلکتور هم در تعین جریان کلکتور نقش خاصی دارد. در همان شکل ۱-۹ فرض کنید ولتاژ V_{BE} را ثابت نگه داریم و ولتاژ V_{CC} را که به کلکتور متصل شده است را نسبت به حالت اول افزایش دهیم. با افزایش ولتاژ کلکتور تغییراتی در منطقه تخلیه سطح اتصال کلکتور و ناحیه بیس به وجود خواهد آمد که آن را در شکل ۱-۱۲ مشاهده می کنید.

همانطور که در این شکل مشاهده می کنید با افزایش ولتاژ کلکتور عرض ناحیه تخلیه در پیوند کلکتور- بیس افزایش و در نتیجه عرض موثر ناحیه بیس (W_B) کاهش می یابد (البته این تغییرات



شکل ۱-۱۲ : تغییرات متناظر در غلظت حامل ها در ناحیه بیس در نتیجه تغییر V_{CE}

مربوط به حالتی است که ترانزیستور در منطقه فعال قرار دارد) . در نتیجه تغییرات فوق بخشی از حامل های ذخیره شده در ناحیه بیس به سمت کلکتور رانده خواهند شد و لذا باعث افزایش جریان کلکتور می شوند. با توجه به اینکه تغییر جریان کلکتور به ازاء تغییر ولتاژ کلکتور بوده است ، بنابراین :

$$r_o = \frac{\Delta V_{CE}}{\Delta I_C} \qquad (۲۰-۱)$$

اما همانطور که در روابط ۱-۶ مشاهده می کنید ، جریان کلکتور ظاهراً به ولتاژ V_{CE} ارتباطی ندارد. اما ، پارامتر دیگری در رابطه جریان کلکتور وجود دارد که با I_S نشان داده شده و به جریان اشباع معکوس معروف است . جریان اشباع معکوس جریانی است که داخل ناحیه تخلیه پیوند کلکتور جریان دارد و مقدار آن با استفاده از رابطه زیر محاسبه می شود.

$$I_S = \frac{q A D_n n_{po}}{W_B} \qquad (۲۱-۱)$$

در رابطه ۱-۲۱ ، q بار الکترون ، A سطح مقطع ناحیه بیس ، D_n ثابت نفوذ الکترون ، n_{po} چگالی الکترون در ناحیه بیس در حالت تعادل و W_B عرض موثر ناحیه بیس است . بنابراین :

$$I_C = \frac{q A D_n n_{po}}{W_B} e^{V_{BE}/V_T} \qquad (۲۲-۱)$$

حال از سمت چپ رابطه ۱-۲۲ به ازاء I_C و از سمت راست به ازاء W_B مشتق گیری میکنیم .

$$dI_C = \frac{-q A D_n n_{po}}{W_B^2} e^{V_{BE}/V_T} dW_B = \frac{-q A D_n n_{po}}{W_B^2} e^{V_{BE}/V_T} \frac{dW_B}{dV_{CE}} dV_{CE} \qquad (۲۳-۱)$$

$$\frac{dI_C}{dV_{CE}} = -\frac{I_C}{W_B}\left(\frac{dW_B}{dV_{CE}}\right) \quad \Rightarrow \quad \frac{dV_{CE}}{dI_C} = \frac{\Delta V_{CE}}{\Delta I_C} = -\frac{W_B\left(\frac{dV_{CE}}{dW_B}\right)}{I_C}$$

بنابراین

$$r_o = -\frac{W_B\left(\frac{dV_{CE}}{dW_B}\right)}{I_C} \qquad (۲۴-۱)$$

با توجه به رابطه ۱-۲۴ صورت کسر در سمت راست میباید یک ولتاژ باشد . به عبارت دیگر :

$$V = -W_B\left(\frac{dV_{CE}}{dW_B}\right) = V_A \qquad (۲۵-۱)$$

همانطور که ملاحظه می کنید ، ولتاژ به دست آمده در رابطه ۱-۲۴ را V_A یا همان ولتاژ ارلی نامیده ایم . دلیل وجود علامت منفی در این رابطه آن است که با افزایش ولتاژ V_{CE} عرض ناحیه بیس W_B کاهش می یابد و در نتیجه باعث حذف علامت منفی می گردد. پس :

$$r_o = \frac{V_A}{I_C} \qquad (۲۶-۱)$$

۱-٤-٥ : مقاومت کلکتور- بیس

با توجه به منحنی رسم شده در شکل ۱-۱۲ ، با افزایش ولتاژ کلکتور کاهشی هم در جریان I_B به علت کاهش حامل های ذخیره شده در ناحیه بیس خواهیم داشت که مربوط به کاهش I_{B1} می باشد . حاصل این تغییرات مقاومتی است بین بیس و کلکتور که آن را با r_μ نشان خواهیم داد.

$$r_\mu = \frac{\Delta V_{CE}}{\Delta I_{B1}} = \frac{\Delta V_{CE}}{\Delta I_C} \cdot \frac{\Delta I_C}{\Delta I_{B1}} \qquad (۲۷-۱)$$

$$r_\mu = r_o \times \frac{\Delta I_C}{\Delta I_{B1}}$$

اگر $I_B = I_{B1}$ باشد در آنصورت :

$$r_\mu = \beta_o r_o \qquad (۲۸-۱)$$

اما I_{B1} صرفا جزئی از جریان I_B را تشکیل میدهد . به بیان دیگر، جریان بیس مجموع دو مؤلفه متفاوت I_{B1} و I_{B2} است. دریک ترانزیستور NPN ، I_{B1} حاصل جریانی از حامل های اکثریت (حفره) از پایه بیس به داخل بیس و I_{B2} حاصل تزریق حفره ها از بیس به امیترترانزیستور است. در حقیقت I_{B1} در غالب موارد در حدود ۱۰ در صد کل جریان بیس را تشکیل می دهد و I_{B2} مؤلفه اصلی جریان بیس است. بنابراین ، رابطه ۱-۲۸ مبین حداقل امپدانس موجود بین بیس و کلکتور ترانزیستور است . در حقیقت این مقاومت برای ترانزیستورهای NPN مجتمع در حدود ۱۰ برابر مقاومت بدست آمده در رابطه ۱-۲۸ و در بقیه موارد بین ۲ تا ۵ برابر است . پس

$$r_\mu \approx 10\ \beta_o r_o \qquad (۲۹-۱)$$

۱-٤-٦: خازن ناحیه تخلیه (خازن انتقالی)

همانطور که قبلاً گفته شده با تشکیل یک پیوند PN حامل های اکثریت از سطح تماس عبور کرده (انتقال به سمت مقابل) وضمن ترکیب با اتم های ناخالصی طرف مقابل یونهای مثبت و منفی و نهایتاً ناحیه تخلیه را بوجود می آورند. بعلاوه اگر پیوند را در بایاس معکوس قرار دهیم عرض این ناحیه به دلیل افزایش یونها افزایش می یابد. بنابراین ، در محل هر پیوند PN خازنی وجود خواهد داشت که اصطلاحاً آن را خازن انتقالی می نامند و مقدار آن با افزایش ولتاژ معکوس (به دلیل افزایش عرض ناحیه تخلیه) کاهش می یابد . لازم به ذکر است که مقدار اولیه خازنهای انتقالی را می توان با استفاده از خصوصیات داخلی قطعه و با استفاده از رابطه ۱-۳۰ محاسبه کرد.

$$C_T = A\left[\frac{q\varepsilon N_A N_D}{2(N_A+N_D)}\right]^{1/2}\frac{1}{\sqrt{\psi_o - V_D}}$$

$$C_T = \frac{C_{To}}{\sqrt{1-\frac{V_D}{\psi_o}}} \qquad (۳۰-۱)$$

در رابطه ۱-۳۰ ، C_T مقدار خازن انتقالی در حالت بایاس شده ، C_{To} مقدار خازن انتقالی در حالت بایاس نشده، q بار الکترون ، A سطح مقطع پیوند ، N_A و N_D به ترتیب چگالی اتم های پذیرنده و دهنده ، ε نفوذ پذیری الکتریکی سیلیسیم ، ψ_0 پتانسیل درون ساخته و V_D ولتاژ بایاس روی پیوند که برای بایاس موافق مثبت و برای بایاس معکوس منفی در نظر گرفته می شود . رابطه ۱-۳۰ برای حالتی است که تغییر بار در لبه پیوند جهشی باشد ، اما در بسیاری از موارد این تغییر بار جهشی نیست بلکه به علت تزریق ناخالصی بصورت تدریجی است ، در چنین حالتی رابطه ۱-۳۰ به صورت رابطه ۱-۳۱ خواهد شد .

$$C_T = \frac{C_{To}}{\left[1-\frac{V_D}{\psi_o}\right]^n} \qquad n=\frac{1}{3} \qquad (۳۱-۱)$$

با توجه به ساختمان داخلی ترانزیستور سه خازن نوع انتقالی را می توان تشخیص داد. پیوند بیس-امیتر دارای یک خازن انتقالی است که با C_{je} نشان داده می شود. بعلاوه پیوند های بیس-کلکتور و کلکتور – پایه (زیر بنا) هم دارای خازن انتقالی هستند و به ترتیب با C_μ و C_{CS} نشان داده می شود. از سه خازن فوق ، خازن C_{je} دارای پیوند تدریجی و دو خازن دیگر دارای پیوند جهشی هستند بنابراین :

$$C_{je} = \frac{C_{jeo}}{\left[1-\frac{V_{BE}}{\psi_i}\right]^{1/3}} \qquad (۳۲-۱)$$

$$C_\mu = \frac{C_{\mu o}}{\left[1+\frac{V_{CB}}{\psi_i}\right]^{1/2}} \qquad (۳۳-۱)$$

$$C_{Cs} = \frac{C_{Cso}}{\left[1+\frac{V_{CS}}{\psi_i}\right]^{1/2}} \qquad (۳۴-۱)$$

چون پیوند بیس – امیتر در بایاس مستقیم قرار دارد بنابراین معمولا برای تعیین مقدار C_{je} از رابطه ۱-۳۲ استفاده نمی کنند بلکه در غالب موارد آن را دو برابر C_{jeo} در نظر میگیرند.

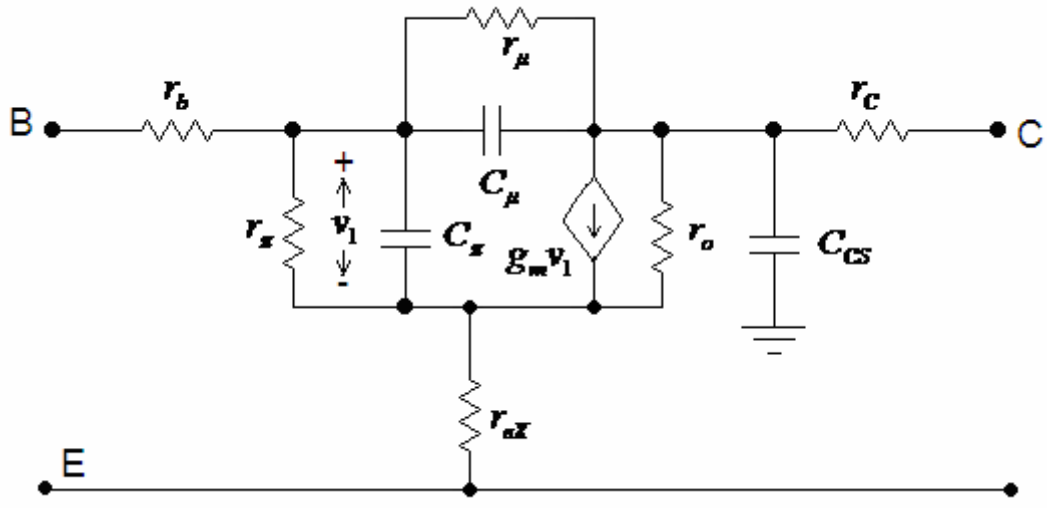
در بخش ۱-۴-۲ گفته شد که در پیوند بیس - امیتر یک خازن نفوذی (C_D) وجود دارد و در بخش ۱-۴-۶ هم وجود خازن C_{je} دراین پیوند تشریح شد ، بنابراین در این پیوند همزمان دو خازن وجود دارد که مجموع آن را با $C\pi$ نشان می دهند .

$$C_\pi = C_D + C_{je} \qquad (۳۵-۱)$$

۱-۴-۷ مقاومت های مزاحم

آخرین عناصری که باید به مدل سیگنال- کوچک ترانزیستور اضافه کرد مقاومتهای مزاحم هستند. این مقاومتها عبارتند از r_b (یا $r_{bb'}$) ، r_c و r_{ex} . r_b و r_c به ترتیب مقاومتهایی هستند که با اتصالهای بیس و کلکتور سری هستند . مقدار نوعی r_b بین ۵۰ تا ۵۰۰ اهم و مقدار نوعی r_C بین ۲۰ تا ۵۰۰ اهم است . اما مقاومت r_{ex} که با اتصال امیتر سری شده است دارای مقداری بین ۱ تا ۳ اهم است. لازم به ذکر است که مقدارr_b به دلیل ازدحام جریان ، به مقدار زیادی با جریان کلکتور تغیر میکند .

با توجه به مطالب بیان شده در زیربخش های مختلف بخش ۱-۴ اینک می توان مدار معادل سیگنال کوچک یک ترانزیستور دوقطبی را ترسیم نمود . مدار معادل در شکل ۱-۱۳ نشان داده شده است .



شکل ۱-۱۳ : مدار معادل کامل سیگنال- کوچک یک ترانزیستور دو قطبی

مثال ۱ :

مدار معادل سینگال-کوچک کامل یک ترانزیستور دو قطبی را در $I_C = 1\ mA$ ، $V_{CB} = 5\ V$ و $V_{CS} = 10\ V$ به دست آورید. پارامترهای ترانزیستور از این قرارند $C_{\mu o} = C_{jeo} = 0.5\ pf$

$r_C = 50\ \Omega$, $r_b = 300\ \Omega$, $V_A = 100\ V$, $\tau_f = 0.38 ns$, $\beta = 200$, $C_{cso} = 2\ pf$

$r_{ex} = 2\ \Omega$ و $r_\mu = 10\beta r_o$. $\psi_o = 0.55$ برای $C\mu$ و $\psi_o = 0.52$ برای C_{CS}.

حل : همانطور که قبلاً گفته شد چون پیوند بیس-امیتر در بایاس مستقیم قرار دارد ، تعیین مقدار C_{je} دشوار است . به هر حال با تقریب قابل قبولی می توان آن را مساوی دو برابر C_{jeo} فرض کرد .

$$C_{je} = 2C_{jeo} = 2(0.5) = 1\ pf$$

با استفاده ازروابط ۱-۳۳ و ۱-۳۴ خازن کلکتور بیس و خازن کلکتور-پایه را به دست می آوریم.

$$C_\mu = \frac{C_{\mu o}}{\sqrt{1 + \frac{V_{CB}}{\psi_o}}} = \frac{0.5}{\sqrt{1 + \frac{5}{0.55}}} = 0.16\ pf$$

$$C_{CS} = \frac{C_{CSo}}{\sqrt{1 + \frac{V_{CS}}{\psi_o}}} = \frac{0.5}{\sqrt{1 + \frac{10}{0.52}}} = 0.44\ pf$$

مقدار هدایت انتقالی را با استفاده از رابطه ۱-۶ محاسبه می شود

$$g_m = \frac{qI_C}{KT} = \frac{I_C}{V_T} = \frac{1mA}{26mV} \approx 38.5\ mA/V$$

توجه داشته باشید که واحد g_m را می توان به سه روش مختلف نوشت : آمپر بر ولت (A/V) ، زیمنس (S) یا مو (علامت وارون شده اهم) . به عنوان مثال مقدار فوق را می توان 38.5 میلی آمپر بر ولت یا 38.5 میلی زیمنس یا 38.5 میلی مو خواند.

خازن ناشی از بار گیری بیس با استفاده از رابطه ۱-۱۲ به صورت زیر محاسبه می شود

$$C_b = C_D = g_m \tau_f = 38.5 \times 10^{-3} \times 0.38 \times 10^{-9} = 14.6 \times 10^{-12} = 14.6\ pf$$

مقدار $C\pi$ از رابطه ۱-۳۵ محاسبه می شود

$$C_\pi = C_D + C_{je} = 14.6 + 1 = 15.6\ pf$$

مقادیر مقاومت های ورودی و خروجی به ترتیب با استفاده از روابط ۱-۱۹ و ۱-۲۶ محاسبه می شوند

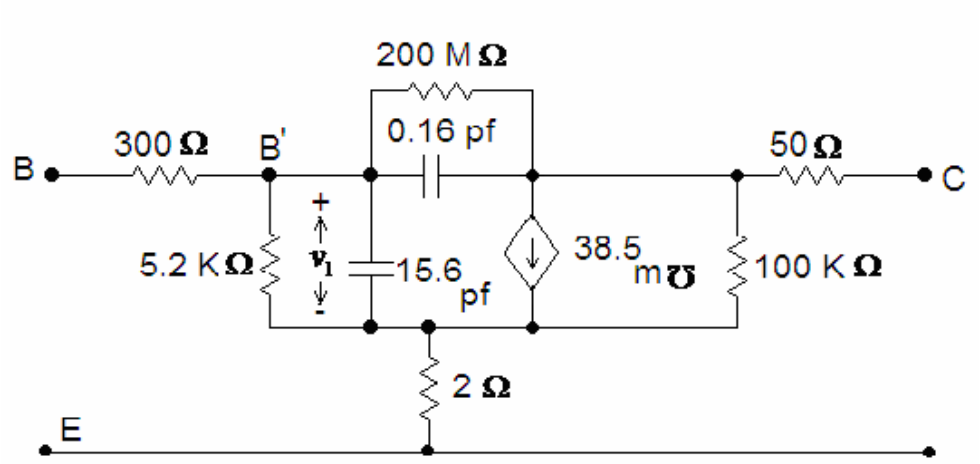
$$r_\pi = \frac{\beta}{g_m} = \frac{200}{38.5\ ms} = 200\,(26\,\Omega) = 5.2\ K\Omega$$

$$r_o = \frac{V_A}{I_C} = \frac{100}{1\,mA} = 100\ K\Omega$$

و بنابراین مقاومت کلکتور بیس برابر است با

$$r_\mu = 10\,\beta\ r_o = 10 \times 200 \times 100\,K\Omega = 200\ M\Omega$$

مدار معادل حاصل از این مقادیر پارامتری را در شکل ۱-۱۴ ملاحظه می کنید.



شکل ۱-۱۴ : مدار معادل سیگنال- کوچک کامل یک ترانزیستور دوقطبی در I_C=1 mA

۱-۴-۸ : نمونه از پارامترهای ترانزیستور های دو قطبی

در این بخش مجموعه ی نوعی از پارامترهای یک ترانزیستور NPN و یک ترانزیستور PNP افقی در جداول ۱-۱ و ۱-۲ ارائه خواهد شد (پارامترهای یک ترانزیستور مشخص را میتوان از سایر منابع و یا نرم افزارهای الکترونیکی بدست آورد) . برای هر ترانزیستور دو مجموعه ی اعداد ارائه شده است یکی برای ترانزیستور با لایه اپیتکسیال نازک (۱۰ میکرون) و دیگری با لایه ی اپی ضخیم (۱۷ میکرون) . لازم به ذکر است که ترانزیستور با اپی ضخیم معمولا در مدارهایی استفاده می شود که ولتاژ منبع تغذیه تا ۴۴ ولت می رسد ، حال آن که ترانزیستور با اپی نازکتر تا حدود ۲۰ ولت می تواند تحمل کند. با اینکه ابعاد ترانزیستور با اپی نازک کوچکتر است ، ظرفیت کلکتور- بیس آن ، به خاطر ناخالصی بیشتر در لایه اپی ، زیادتر است. ظرفیت امیتر- بیس نیز بیشتر است زیرا عمق بیس کمتر ، و سطح ناخالصی در بیس در محل پیوند امیتر- بیس بالاتر است.

پارامتر	مقدارنوعی اپی 10μ , 1 $\Omega-Cm$ ولتاژ کار ترانزیستور ۲۰ ولت	مقدار نوعی اپی 17μ , 5 $\Omega-Cm$ ولتاژ کار ترانزیستور ۴۰ ولت
β_F	200	200
β_R	2	2
V_A	90 V	130 V
η	2.8×10^{-4}	2×10^{-4}
I_S	1.5×10^{-15} A	5×10^{-15} A
I_{Co}	10^{-10} A	10^{-10} A
BV_{CEO}	25 V	50 V
BV_{CBO}	50 V	90 V
BV_{EBO}	7 V	7 V
τ_f	0.25 nS	0.35 nS
β_o	150	200
r_b	200 Ω	200 Ω
r_c	75 Ω	200 Ω
r_{ex}	2 Ω	2 Ω
C_{jeo}	1.3 pf	1 pf
ψ_o	0.7 V	0.7 V
n	0.33	0.33
C_{jeo}	0.6 pf	0.3 pf
ψ_o	0.6 V	0.55 V
n	0.5	0.5
C_{jeo}	3 pf	3 pf
ψ_o	0.58 V	0.52 V
n	0.5	0.5

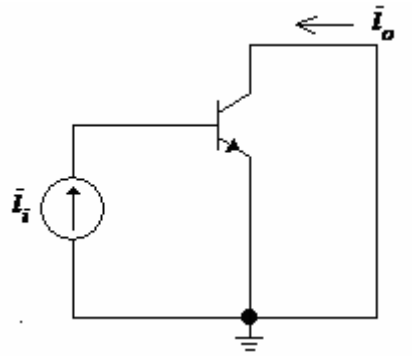
جدول ۱-۱ پارامترهای نوعی ترانزیستورهای NPN

پارامتر	مقدارنوعی اپی 10μ , 1 $\Omega-Cm$ ولتاژ کار ترانزیستور ۲۰ ولت	مقدار نوعی اپی 17μ , 5 $\Omega-Cm$ ولتاژ کار ترانزیستور ۴۰ ولت
β_F	20	50
β_R	2	4
V_A	50 V	50 V
η	5×10^{-4}	5×10^{-4}
I_S	$2\times10^{-15}\ A$	$2\times10^{-15}\ A$
I_{Co}	$5\times10^{-9}\ A$	$10^{-10}\ A$
BV_{CEO}	30 V	60 V
BV_{CBO}	50 V	90 V
BV_{EBO}	50 V	90 V
τ_f	20nS	30 nS
β_o	20	50
r_b	150 Ω	300 Ω
r_c	75 Ω	100 Ω
r_{ex}	10 Ω	10 Ω
C_{jeo}	0.6 pf	0.3 pf
ψ_o	0.6 V	0.55 V
n	0.5	0.5
C_{jeo}	2 pf	1 pf
ψ_o	0.6 V	0.55 V
n	0.5	0.5
C_{jeo}	3.5 pf	3 pf
ψ_o	0.58 V	0.52 V
n	0.5	0.5

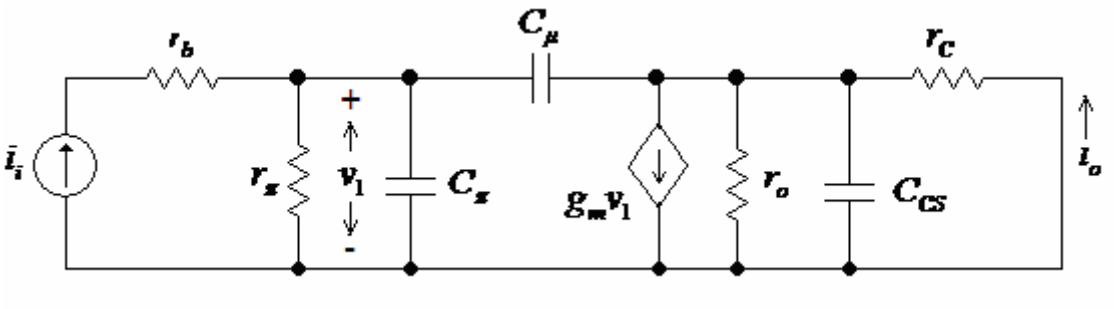
جدول ۱-۲ پارامترهای نوعی ترانزیستورهای PNP

۱-۵: تشریح پاسخ فرکانسی ترانزیستور

بهره ی فرکانس بالای ترانزیستور به وسیله عناصر خازنی مدار معادل شکل ۱-۱۳ کنترل می شود . در عمل توانایی فرکانسی ترانزیستور اغلب با تعیین فرکانسی تعریف می شود که در آن مقدار بهره ی جریان اتصال کوتاه امیتر مشترک به یک برسد. این فرکانس ، فرکانس گذر (f_T) نام دارد و معیاری است از بالاترین فرکانس مفید ترانزیستور، وقتی که به صورت یک تقویت کننده به کار می رود. مقدار f_T را می توان با استفاده از مداری AC همانند مدار شکل ۱-۱۵ محاسبه و اندازه گیری کرد. جریان سیکنال- کوچک i_i به بیس اعمال می شود و جریان خروجی i_o در حالت اتصال کوتاه کلکتور از نظر سیگنال AC اندازه گیری می شود. با استفاده از مدار معادل شکل ۱-۱۳ می توان یک مدار سیگنال- کوچک برای این حالت به دست آورد که در شکل ۱-۱۶ نشان داده شده و در آن از r_{ex} و r_μ صرفنظر شده است .

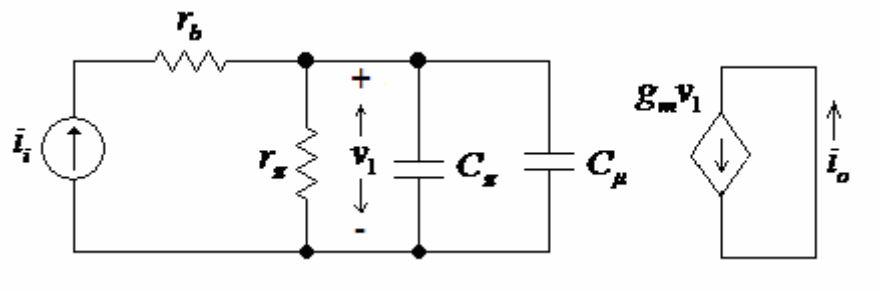


شکل ۱-۱۵: طرحواره AC برای محاسبه و اندازه گیری f_T



شکل ۱-۱۶ : مدار معادل سیکنال- کوچک برای محاسبه f_T

اگر r_c کوچک فرض شود در آنصورت r_o و c_{cs} تأثیر چندانی در محاسبات نخواهند داشت. به علاوه با صرفنظر کردن از جریان داخل C_μ در مقایسه با جریان $g_m v_1$ مدار شکل ۱-۱۶ به مدار شکل ۱-۱۷ تبدیل خواهد شد و در نتیجه :



شکل ۱-۱۷ مدار معادل سیگنال- کوچک برای محاسبه f_T پس از حذف r_o و C_{CS}

$$i_o = g_m V_1 \qquad (۳۶\text{-}۱)$$

$$V_1 \approx \frac{r_\pi}{1+S\,r_\pi\,(C_\pi + C_\mu)}\,i_i \qquad (۳۷\text{-}۱)$$

با جایگزینی رابطه ۱-۳۷ ذر رابطه ۱-۳۶ نتیجه می دهد:

$$i_o \approx \frac{r_\pi\ g_m}{1+S\,r_\pi\,(C_\pi + C_\mu)}\,i_i$$

$$A_i = \frac{i_o}{i_i} \approx \frac{r_\pi\ g_m}{1+S\,r_\pi\,(C_\pi + C_\mu)}$$

توجه داشته باشید که A_i همان نسبت جریان کلکتور به جریان بیس است که مقدار آن به فرکانس سیگنال ورودی بستگی دارد بعلاوه $g_m\, r_\pi = \beta_o$ است بنابراین :

$$\beta_o(s) = \frac{\beta_o}{1+S\,r_\pi\,(C_\pi + C_\mu)} \qquad (۳۸\text{-}۱)$$

ویا

$$\beta_o(j\omega) = \frac{\beta_o}{1+j\omega r_\pi\,(C_\pi + C_\mu)}$$

با افزایش فرکانس قسمت موهومی مخرج در رابطه فوق بخش اصلی خواهد شد و می توان نوشت :

$$\beta_o(j\omega) = \frac{\beta_o}{j\omega r_\pi\,(C_\pi + C_\mu)} \qquad (۳۹\text{-}۱)$$

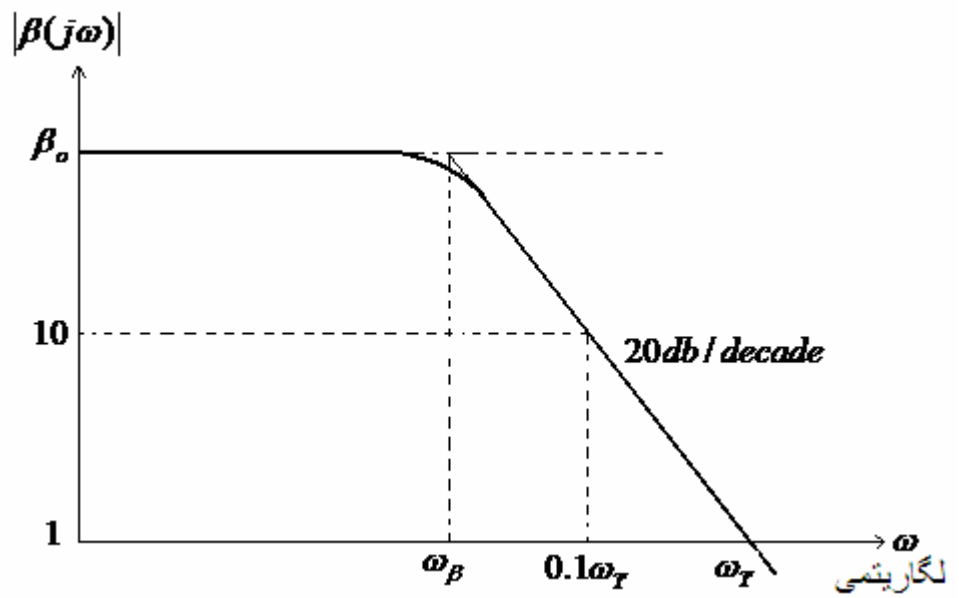
همانطور که قبلا گفته شده f_T فرکانسی است که قدر بهره جریانی اتصال کوتاه ترانزیستور در آن فرکانس برابر یک است ، بنابراین وقتی $|\beta_o(j\omega)| = 1$ است که :

$$\omega = \omega_T = \frac{g_m}{C_\pi + C_\mu} \qquad (۴۰\text{-}۱)$$

و در نتیجه

$$f_T = \frac{1}{2\pi}\frac{g_m}{C_\pi + C_\mu} = \frac{1}{2\pi r_e (C_\pi + C_\mu)} \qquad (۴۱\text{-}۱)$$

با رسم $|\beta_o(j\omega)|$ به ازاء فرکانس و با استفاده از رابطه ۱-۳۸ ، همان طور که در شکل ۱-۱۸ نشان داده شده است ، می توان رفتار ترانزیستور را نمایش داد.



شکل ۱-۱۸ منحنی تغییرات قدر مطلق بهره ی جریان AC یک ترانزیستور بر حسب فرکانس

فرکانس ω_β به صورت فرکانسی تعریف می شود که در آن $|\beta_o(j\omega)|$ برابر $\frac{\beta_o}{\sqrt{2}}$ (۳db پائین تر از مقدار فرکانس میانی) باشد . به بیان دیگر:

$$|\beta(j\omega)| = \frac{\beta_o}{\sqrt{1+(\omega_\beta\ r_\pi(C_\pi + C_\mu))^2}} = \frac{\beta_o}{\sqrt{2}} \qquad (۴۲\text{-}۱)$$

در نتیجه :

$$\omega_\beta\ r_\pi(C_\pi + C_\mu) = 1 \quad \Rightarrow \quad \omega_\beta = \frac{1}{r_\pi(C_\pi + C_\mu)} \qquad (۴۳\text{-}۱)$$

پس :

$$f_\beta = \frac{1}{\beta_o\ (2\pi r_e (C_\pi + C_\mu)} \qquad (۴۴\text{-}۱)$$

با مقایسه روابط ۱-۴۱ و ۱-۴۴ به این نتیجه خواهیم رسید که:

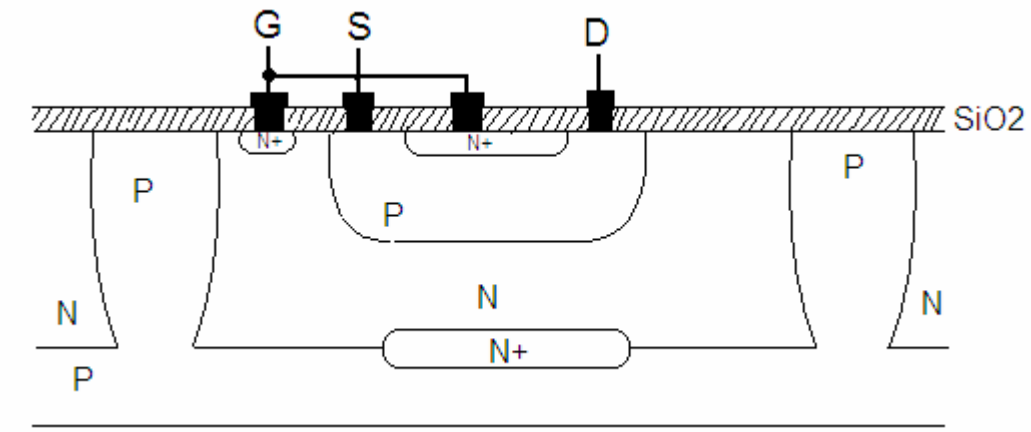
$$f_\beta = \frac{f_T}{\beta_o} \qquad \text{و} \qquad f_T = \beta_0\ f_\beta \qquad (۴۵\text{-}۱)$$

اگر به رابطه ۱-٤٥ و شکل ۱-۱۸ دقت کنیم متوجه خواهیم شد که β_o بهره ی جریانی ترانزیستور در فرکانس میانی و f_β پهنای باند ترانزیستور است . بنابراین f_T را می توان حاصلضرب بهره در پهنای باند هم نامید. اندازه گیری f_T به سادگی امکان پذیر نیست ، اما با توجه به نمودار شکل ۱-۱۸ ، اگر مقدار $|\beta_o(j\omega)|$ را در یک فرکانس $f_X > f_\beta$ اندازه گیری کنیم ، با توجه به اینکه تضعیف بهره جریانی تقریباً از f_β به بعد خطی است (تضعیف 20 db/decade یا 6db/octave) بنابراین می توان با استفاده از رابطه زیر فرکانس f_T را محاسبه کرد . لازم به ذکر است که معمولاً f_X را پنج برابر f_β انتخاب می کنند.

$$f_T = f_X(|\beta_o(j\omega_X)| \qquad (٤٦-١)$$

۱-۶ ساخت ترانزیستور اثر میدانی (JFET)

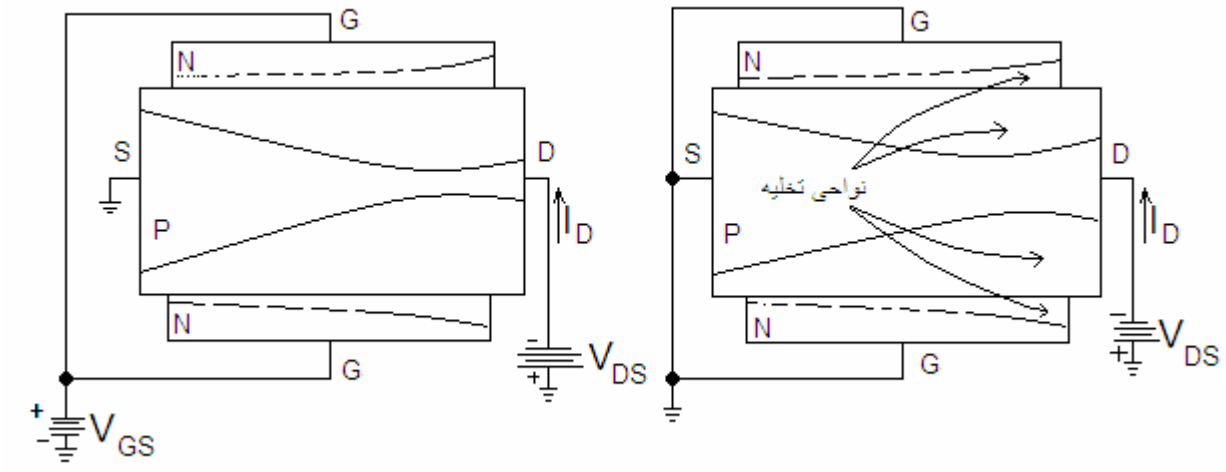
در بخش های گذشته مراحل ساخت ترانزیستورهای دوقطبی در یک مدار مجتمع را مورد بررسی قرار دادیم. با استفاده از یک مجموعه ی نفوذ یا با مراحل اضافی کشت یونی ، به طور همزمان با ترانزیستورهای دو قطبی می توان ترانزیستورهای اثر میدانی را نیز تولید نمود. ساختار داخلی نوعی ترانزیستور اثر میدانی P کانالی در شکل ۱- ۱۹ نشان داده شده است. با مقایسه این ساختار و ساختار ترانزیستور دو قطبی NPN متوجه خواهیم شد که ساختار داخلی هر دو تقریباً یکسان است . تنها اختلاف



شکل ۱-۱۹ : ساختار درونی نوعی JFET با کانال نوع P

اساسی آن است که پایه های سازنده امیتر و کلکتور در ترانزیستور دوقطبی به یکدیگرمتصل شده و پایه گیت JFET را بوجود آورده اند، محل اتصال بیس به عنوان سورس بکار گرفته شده است و با ایجاد یک محل اتصال دیگر در طرف دیگر حوضچه بیس ، ترمینال سوم قطعه یعنی درین JFET درست شده است.

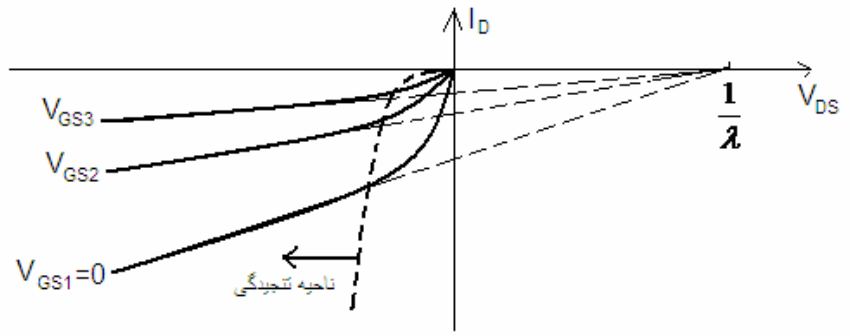
مشخصه های انتقالیJFET را می توان از ساختار ایده آل شکل ۱-۲۰ به دست آورد که در آن کانال نوع P با ناخالصی یکنواخت و گیتهای نوع N به صورت متقارن در دو طرف فرض شده اند. اگر تمام پایه های ترانزیستورJFET (سورس ، درین و گیت) به زمین وصل شوند ، همانند ترانزیستور دوقطبی درمحل پیوند ها نواحی تخلیه وجود خواهند داشت و ولتاژ روی هر پیوند همان پتانسیل درون ساخته ψ_o خواهد بود. عرض نواحی تخلیه در هر دو پیوند طرفین کانال و در طول آن متناسب با میزان ناخالصی یکنواخت خواهند بود. حال اگر همان طور که در شکل ۱-۲۰ الف نشان داده شده ، یک ولتاژ منفی V_{DS} به درین اعمال شود ، جریانی از سورس به درین بر قرار خواهد شد که مقدار آن متناسب با ولتاژ اعمالی خواهد بود. به بیان دیگر ، در ابتدای کار که ولتاژ V_{DS} از صفر ولت شروع به افزایش می نمایند به علت باز بودن کامل کانال مقاومت آن پائین و در نتیجه با افزایش ولتاژ جریان درین- سورس (I_D) به صورت خطی افزایش می یابد . اما ، با افزایش ولتاژ V_{DS} ، یون های منفی در داخل کانال در محدوده نزدیک پایه درین افزایش خواهند یافت و در نتیجه باعث عریض ترشدن ناحیه تخلیه در آن محدوده خواهند شد .به عبارت دیگر، با افزایش ولتاژ V_{DS} در طول کانال یک گرادیان ولتاژ بوجود خواهد آمد که در نتیجه باعث باریک تر شدن عرض کانال در انتهای نزدیک به درین می شود و در نهایت آن را به سمت صفر میل می دهد، این حالت را اصطلاحاً "انسداد" می نامند . در چنین حالتی به علت کاهش سطح مقطع کانال ، مقاومت آن افزایش خواهد یافت و در نتیجه باعث محدود شدن جریان I_D خواهد شد.



شکل ۱-۲۰ : ساختار ایده آل JFET با کانال P (الف) سورس و گیت زمین شده و $|V_{DS}|$ کوچک است (ب) اعمال همزمان V_{GS} و $|V_{DS}|$

حال موقعیت شکل ۱-۲۰ ب را در نظر بگیرید که در آن ولتاژ مثبت V_{GS} به گیت و ولتاژ منفی V_{DS} به درین اعمال و سورس هم زمین شده باشد. ولتاژ اعمال شده به گیت باعث می شود تا نواحی تخلیه در تمام طول کانال بیشتر به داخل آن نفوذ کند . هر چه ولتاژ V_{GS} بیشتر شود (با کم بودن ولتاژ V_{DS}) عرض ناحیه تهی بیشتر خواهد شد . مقدار ولتاژ V_{GS} که باعث انسداد کانال می شود را با V_P نشان می دهند و آن را ولتاژ انسداد (Pinch Off) می نامند. وقتی V_{GS} برابر ولتاژ انسداد باشد تمام کانال تخلیه می شود و در حالت ایده آل هیچ جریانی از سورس به درین وجود نخواهد داشت . در این صورت می گویند FET در حالت قطع است.

اما اگر ولتاژ $0<V_{GS}<V_P$ باشد در آنصورت با تغییر ولتاژ V_{DS} نمودارهای مختلف جریانی خواهیم داشت که نمونه ای از آن برای ترانزیستور P کانالی در شکل ۱-۲۱ نشان داده شده است. توجه داشته باشید که نواحی مختلف این نمودار عبارتند از ناحیه اهمی ، انسداد (اشباع) ، قطع و شکست که این نواحی به ترتیب متناظر نواحی اشباع ، فعال ، قطع و شکست ترانزیستورهای دو قطبی هستند. لازم به



شکل ۱-۲۱ نمودار ولتاژ- جریان یک JFET با کانال نوع P

ذکر است که برای مقادیر کوچک V_{DS} ، FET مانند یک مقاومت نسبتاً خطی رفتار می کند ک مقدارش به وسیله V_{GS} کنترل می شود ، لذا FET دراین ناحیه می تواند به عنوان یک مقاومت کنترل شده با ولتاژ مورد استفاده قرار گیرد.

در صورتی که این قطعه را با استفاده از اصول حاکم بر نیمه هادیها مورد تجزیه و تحلیل قراردهیم ، رابطه ۱-۴۷ که وابستگی جریان درین (I_D) به سایر پارامترهای قطعه را مشخص می کند حاصل خواهد شد (بدون ارائه جزئیات مراحل کار) .

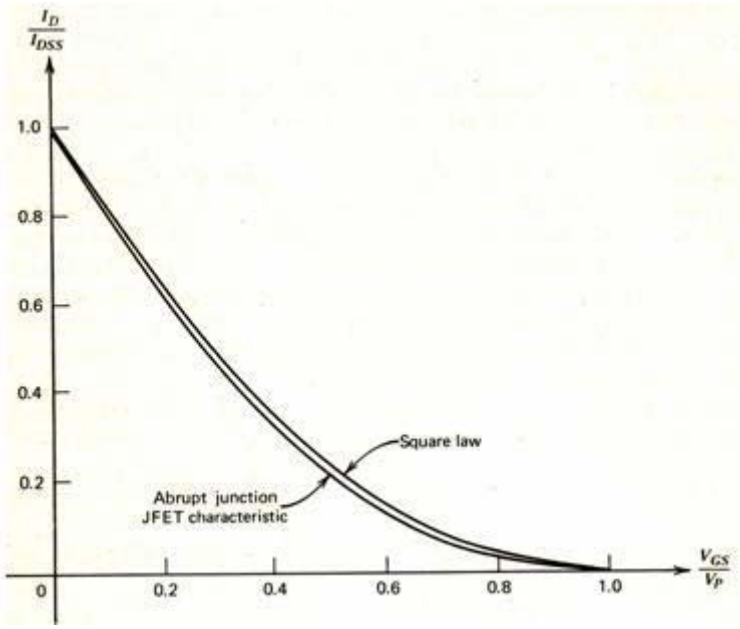
$$I_D = G_o\left[V_{GS} - V_P + \frac{2}{3}\frac{(\psi_o + V_P)^{3/2} - (\psi_o + V_{GS})^{3/2}}{(\psi_o + V_P)^{1/2}}\right] \qquad (۴۷\text{-}۱)$$

در رابطه ۱- ۴۷، $G_o = \frac{2a\sigma W}{L}$ است ، که 2a عمق، W پهنا، L طول و σ هدایت مخصوص ناحیه کانال است . چنانچه در رابطه ۱-۴۷ مقدار $V_{GS}=0$ باشد ، جریان I_D حداکثر مقدار خود را خواهد داشت که آن را با I_{DSS} نشان می دهند و برابر است با :

$$I_{DSS} = G_o \left[-Vp + \frac{2}{3} \frac{(\psi_o + V_P)^{3/2} - (\psi_o)^{3/2}}{(\psi_o + V_P)^{1/2}} \right] \qquad (۴۸-۱)$$

اگر I_D را نسبت به I_{DSS} نرمالیزه کنیم و با استفاده از روابط ۱-۴۷ و ۱-۴۸ بر حسب V_{GS}/V_P رسم کنیم منحنی شکل ۱- ۲۲ به دست می آید که در آن $\psi_o \cong \frac{V_P}{3}$ فرض شده است. در شکل ۱-۲۲ منحنی دیگری وجود دارد که برای رسم آن از رابطه درجه دوم ۱-۴۹ استفاده شده است.

$$I_D = I_{DSS} (1 - \frac{V_{GS}}{V_P})^2 \qquad (۴۹-۱)$$



شکل ۱-۲۲ : مقایسه تابع انتقال نرمالیزه شده یک FET حاصل از روابط اصلی و رابطه درجه دوم

$$I_D = I_{DSS} (1 - \frac{V_{GS}}{V_P})^2 \qquad (۴۹-۱)$$

همانطور که مشاهده می کنید این دو منحنی تطابق کاملاً نزدیکی دارند . به همین دلیل رابطه ۱-۴۹ معمولاً به عنوان تقریبی از مشخصه JFET در ناحیه انسداد (اشباع) به کار می رود و آن را مشخصه قانون مجذور می نامند. در ناحیه اشباع است که FET عموماً برای استفاده به عنوان تقویت کننده بایاس می شود. لازم به ذکراست که تابع درجه دوم ۱- ۴۹ برای JFET هایی که دارای منحنی

ناخالصی با تغییر یکنواخت در کانال هستند تقریب بهتری است. JFET هایی که ساختار داخلی آنها در شکل ۱- ۱۹ نشان داده شد از این توصیف تبعیت می کنند.

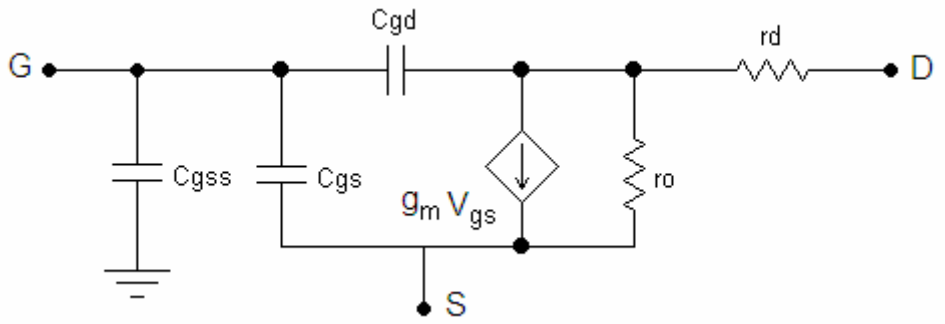
توجه داشته باشید که در مدارهای قیاسی (آنالوگ) ، JFET معمولا در ناحیه اشباع مشخصه اش به کار گرفته می شود . بنابراین ، واژه "اشباع " در مورد JFET مفهومی کاملاً متفاوت با اشباع یک ترانزیستور دو قطبی دارد. شاید مناسب تر باشد که در JFET به جای واژه ناحیه اشباع از واژه ناحیه انسداد استفاده شود.

۱-۷ : مدل سیگنال- کوچک JFET

با روش هایی مشابه آنچه برای ترانزیستور دو قطبی به کار گرفته شد ، می توان مدل سیگنال- کوچک JFET را به دست آورد. از آنجا که در کاربردهای سیگنال- کوچک ، از JFET تقریباً همیشه در ناحیه انسداد (اشباع) استفاده می شود ، مدار معادل هم برای کار در این ناحیه ایجاد می شود . بنابراین ، با فرض اینکه JFET در ناحیه انسدا د بایاس شده باشد ، مدار معادل کامل سیگنال - کوچک شکل ۱-۲۳ بدست خواهد آمد .

با توجه به این مدار معادل و با استفاده از رابطه ۱-۴۹ هدایت متقابل سیگنال-کوچک را می توان به طریق زیر به دست آورد :

$$g_m = \frac{dI_D}{dV_{GS}} = -\frac{2I_{DSS}}{V_P}\left(1-\frac{V_{GS}}{V_P}\right) \qquad (۵۰-۱)$$



شکل ۱-۲۳ مدار معادل سیگنال-کوچک JFET

با فرض $V_{GS}=0$:

$$g_m\big|_{V_{GS}=0} = g_{mo} = -\frac{2I_{DSS}}{V_P} \qquad (۵۱-۱)$$

بنابراین :

$$g_m = g_{mo}\left(1-\frac{V_{GS}}{V_P}\right) \qquad (۵۲-۱)$$

کمیت g_{mo} همیشه مثبت است زیرا در JFET های P- کانالی جریان I_{DSS} و در JFET های N-کانالی ولتاژ V_P منفی خواهند بود. معادله ۱-۵۱ نشان می دهد که تغییرات g_m در اثر تغییر V_{GS} خطی است . روش تجربی مفید برای تعیین V_P رسم g_m بر حسب V_{GS} و برونیابی تا محور V_{GS} است. چون از این راه ، نسبت به رسم I_D بر حسب V_{GS} ، تقاطع بسیار دقیق تری به دست می آید.

۱-۷-۱ مقاومت خروجی سیگنال-کوچک JFET

نمودارهای ولتاژ- جریان شکل ۱-۲۱ نشان می دهد که JFET در ناحیه انسداد دارای مقاومت خروجی محدودی است و نمودارها همگی در نقطه یکسانی روی محور V_{DS} متمرکز می شوند. بنابراین ، رابطه ۱-۴۹ میبایست به ترتیبی اصلاح گردد تا تاثیر تغییرات ولتاژ V_{DS} نیز در آن منظور شده باشد. این مشکل را می توان با اضافه کردن جمله ای به رابطه ۱-۴۹ به شرح زیر حل کرد:

$$I_D = I_{DSS}\left(1-\frac{V_{GS}}{V_P}\right)^2\left(1+\lambda V_{DS}\right) \qquad (۵۳\text{-}۱)$$

پارامتر λ برای JFET های P-کانالی منفی و برای N-کانالی مثبت ، با قدر مطلق نوعی $10^{-2}\ V^{-1}$ است . توجه کنید که $\frac{1}{\lambda}$ مشابه ولتاژ ارلی V_A برای ترانزیستورهای دو قطبی است.

حال با توجه به رابطه ۱-۵۳ ، امپدانس خروجی JFET برابر است با :

$$\frac{1}{r_o}=\frac{\partial I_D}{\partial V_{DS}} = \lambda I_{DSS}\left(1+\frac{V_{GS}}{V_P}\right)^2 \qquad (۵۴\text{-}۱)$$

به علاوه با استفاده از رابطه ۱-۵۳ می توان نوشت:

$$\left(1-\frac{V_{GS}}{V_P}\right)^2=\frac{I_D}{I_{DSS}\left(1+\lambda V_{DS}\right)} \qquad (۵۵\text{-}۱)$$

جایگزینی ۱-۵۵ در ۱-۵۴ نتیجه می دهد.

$$\frac{1}{r_o}=\frac{\lambda I_D}{1+\lambda V_{DS}} \qquad (۵۶\text{-}۱)$$

چون $\lambda V_{DS} << 1$ است ، بنابراین :

$$\frac{1}{r_o}\approx\lambda I_D \quad \Rightarrow \quad r_o \approx \frac{1}{\lambda I_D} \qquad (۵۷\text{-}۱)$$

۱-۷-۲ عناصر مزاحم

در شکل های ۱-۱۹ و ۱-۲۰ می توان دید که مدار معادل سیگنال- کوچک JFET نیز شامل ظرفیت های مربوط به لایه گیت به سورس ، گیت به درین و گیت به پایه است . تمامی این ظرفیت های خازنی از نوع انتقالی (transition) هستند. چون ناخالصی در پیوند گیت- کانال معمولاً یکنواخت است ، ظرفیت گیت- سورس (C_{gs}) و ظرفیت گیت- درین (C_{gd}) را می توان به کمک رابطه ۱-۳۱ برای یک JFET با کانال نوع P در ناحیه انسداد به صورت زیر نشان داد .

$$C_{gs} = \frac{C_{gso}}{(1+\frac{V_{GS}}{\psi_o})^{1/3}} \qquad (۱-۵۸)$$

$$C_{gd} = \frac{C_{gdo}}{(1+\frac{V_{GD}}{\psi_o})^{1/3}} \qquad (۱-۵۹)$$

ظرفیت C_{gss} از گیت به پایه ، متناظر است با ظرفیت کلکتور به پایه در ترانزیستور NPN و در نتیجه :

$$C_{gss} = \frac{C_{gsso}}{(1+\frac{V_{GSS}}{\psi_o})^{1/2}} \qquad (۱-۶۰)$$

که در آن V_{GSS} ولتاژ گیت نسبت به پایه است.

بالاخره در JFET مقاومت های مزاحمی بین اتصال های سورس و درین و ناحیه فعال کانال وجود دارد. مقاومت سری با سورس مشخصه های انتقالی اندازه گیری شده JFET را بدین ترتیب تغییر می دهد که I_{DSS} و g_{mo} از آنچه انتظار می رود کمتر خواهند بود. ولی چون از داده های اندازه گیری شده برای I_{DSS} ، V_P و g_{mo} استفاده می شود تاثیر مقاومت سری سورس به سهولت در این پارامترها جای داده می شود و لازم نیست در مدار معادل منظور شود. در اغلب موارد وجود مقاومت سری سورس بر صحت تقریب درجه دوم اثری ندارد. به علاوه همانند ترانزیستورهای دو قطبی ، برای سهولت محاسبه دستی پارامترهای مدارهای طراحی شده با JFET ازمقاومت درین هم صرفنظر می شود.

توجه کنید که مدار معادل سیگنال- کوچک JFET شکل ۱-۲۲، کاملاً مشابه مدار معادل ترانزیستور دو قطبی است و بخش عمده ای از مطالب ارائه شده در مورد مدارهای ترانزیستور دو قطبی برای مدارهای JFET نیز قابل استفاده است ، به شرط اینکه مقادیر پارامترها درست به کار برده شوند.

۱-۷-۳ بهره جریان اتصال کوتاه در JFET

پاسخ فرکانسی JFET را می توان همانند ترانزیستور دو قطبی محاسبه کرد. اگر روش بکار
رفته در بخش ۱-۵ را برای JFET تکرار کنیم ، فرکانسی که در آن بهره جریان به یک می رسد محاسبه خواهد شد.

$$C_T = C_{gs} + C_{gd} + C_{gss}$$

$$i_d = g_m v_{gs} \qquad , \qquad v_{gs} = i_i \left(\frac{1}{SC_T}\right)$$

$$\frac{i_d}{i_i} = A_i = \frac{g_m}{SC_T} = \frac{g_m}{j2\pi f (C_T)}$$

$$\left|A_i\right\|_{f=f_C} = 1 \quad \Rightarrow \quad f_C = \frac{g_m}{2\pi (C_{gs} + C_{gd} + C_{gss})} \qquad (۶۱\text{-}۱)$$

مثال:

مدار معادل سیگنال- کوچک یک JFET از نوع P کانالی را به دست آورید که در آن $I_D - 0.5 \ \ mA$, $V_{DS} = -5 \ \ V$ و $V_{GSS} = 10 \ V$. پارامترهای JFET از این قرارند :
$\lambda = -10^{-2} \ V^{-1}$ و $V_P = 2 \ V$, $I_{DSS} = -1 \ mA$, $C_{gsso} = 4 \ pf$, $C_{gdo} = 0.5 \ pf$, $C_{gso} = 2 \ \ pf$
$r_d = 50 \ \Omega$. مقدار ψ_o برای C_{gs} و C_{gd} ، 0.7 V و برای C_{gss} برابر 0.52 V است.

حل :

از رابطه ۱-۴۹:
$$V_{GS} = V_P \left(1 - \sqrt{\frac{I_D}{I_{Dss}}} = 2\left(1 - \sqrt{\frac{0.5}{1}}\right) = 0.586 \, V\right.$$

از رابطه ۱-۵۰ :
$$g_m = -\frac{2(-1)}{2}\left(1 - \frac{0.586}{2}\right) = 0.707 \ \ mA/V$$

مقاومت خروجی سیگنال کوچک از رابطه ۱-۵۷:

$$r_o = \frac{1}{10^{-2} \times 0.5} = 200 \ K\Omega$$

بالاخره ، برای محاسبه ظرفیتهای FET از روابط ۱-۵۸ تا ۱-۶۰ استفاده می کنیم و نتایج به شرح زیر خواهد بود

$$C_{gs}=\frac{2}{(1+\frac{0.586}{0.7})^{1/3}}=1.63\ \ pf$$

$$C_{gd}=\frac{0.5}{(1+\frac{5.586}{0.7})^{1/3}}=0.24\ \ pf$$

$$C_{gss}=\frac{4}{(1+\frac{10}{0.52})^{1/2}}=0.89\ \ pf$$