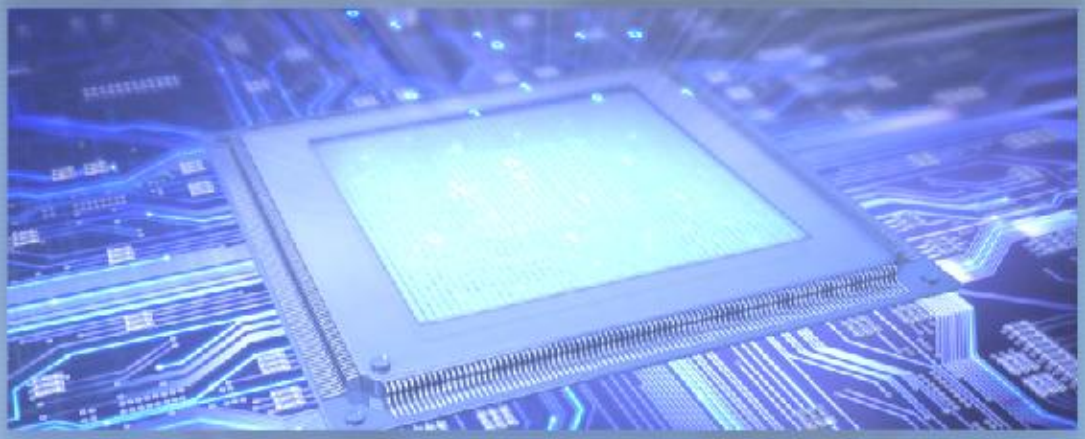
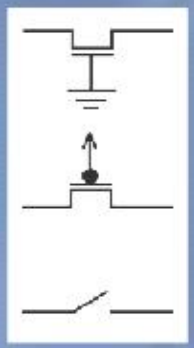
مبانی الکترونیک دیجیتال
جلسه بیست و پنجم

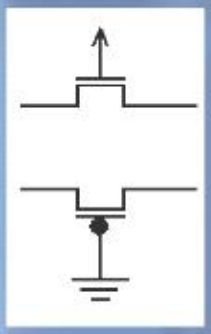


ترانزیستور MOS خاموش



- در صورتی که ولتاژ گیت ترانزیستور NMOS از Vs+Vt کمتر باشد ترانزیستور خاموش است.
- در صورتی که ولتاژ گیت ترانزیستور PMOS از Vs+Vt بیشتر باشد ترانزیستور خاموش است.
- به جای ترانزیستور خاموش می توان کلید باز را به عنوان یک مدل ساده قرار داد.
- مشخصه ی کلید باز ، عبور نکردن جریان است. بنابراین اختلاف ولتاژ درین تا سورس در این شرایط اهمیتی ندارد.
- درصورتی که در مدار ولتاژ بیشتر از Vdd و کمتر از Gnd نداشته باشیم ،ترانزیستورهای مقابل معادل کلید باز هستند.

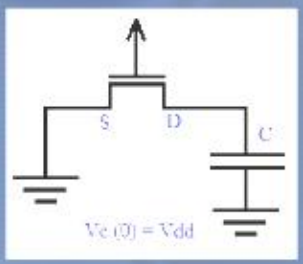
ترانزیستورMOS روشن



- برای روشن کردن ترانزیستور NMOS باید به گیت آن ولتاژ بیشتراز ولتاژ سورس اعمال کرد.
- برای روشن کردن ترانزیستور PMOS باید به گیت آن ولتاژ کمتر از ولتاژ سورس اعمال کرد.
- اختلاف ولتاژ درین تا سورس درناحیه ی خطی کمتراز ناحیه ی اشباع است.
- برای تشخیص وضعیت کار ترانزیستور ابتدا درین و سورس ترانزیستور را مشخص می کنیم.

در ادامه عملکرد MOS روشن رو در عبور جریان ، و در حالت پایدار بررسی می‌کنیم.

NMOS :هدایت جریان به ولتاژ پایین



S :

Vgs = Vdd – 0 = Vdd > Vtn ➔ سورس کانال دارد

T = 0 :

D : Vgd = Vdd – Vdd = 0 < Vtn ➔ درین کانال ندارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و خطی:

Vgd = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

Vc = Vdd – Vtn

T = ∞ :

بعد از عبور ولتاژ خازن از Vdd-Vt ترانزیستور به ناحیه ی خطی وارد می شودو بارخازن تا هم پتانسیل شدن با ولتاژ سورس تخلیه می شود

Vc (∞) = Vs

اگر به مدار فرصت کافی بدهیم، دو طرف ترانزیستور هم پتانسیل می شود. بنابراین با وجود روشن بودن ترانزیستور، جریانی از آن نمی گذرد

NMOS : هدایت جریان از ولتاژ بالا

D :

Vgd = Vdd – Vdd = 0 < Vtn ➔ درین کانال ندارد

T = 0 :

S : Vgs = Vdd – 0 = Vdd > Vtn ➔ سورس کانال دارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و قطع :

Vgs = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

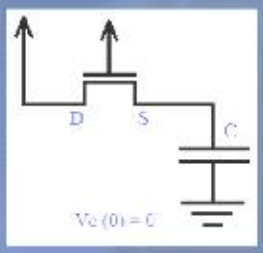
Vc = Vdd – Vtn

T = ∞ :

با رسیدن ولتاژ سورس به Vdd-Vt ترانزیستور به ناحیه ی قطع می رسد و بار خازن امکان بیشتر شدن را به دست نمی آورد

Vc (∞) = Vg-Vt

اگر به مدار فرصت کافی بدهیم، ترانزیستور به مرز قطع شدن می رسد. بنابراین ترانزیستور امکان عبور جریان را نخواهد داشت



PMOS :هدایت جریان به ولتاژ پایین

D :

Vgd = 0 – 0 = 0 > Vtp ➔ درین کانال ندارد

T = 0 :

S : Vgs = 0 – Vdd = -Vdd < Vtp ➔ سورس کانال دارد

در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و قطع :

Vgs = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

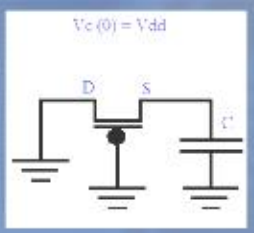
Vc = 0 – Vtp

T = ∞

با رسیدن ولتاژ سورس به Vtp– ترانزیستور به ناحیه ی قطع می رسد و بار خازن امکان تخلیه شدن را به دست نمی آورد

Vc (∞) = Vg-Vt

اگر به مدار فرصت کافی بدهیم، ترانزیستور به مرز قطع شدن می رسد. بنابراین ترانزیستورامکان عبورجریان را نخواهد داشت



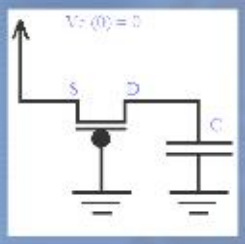
PMOS : هدایت جریان از ولتاژ بالا

S :

Vgs = 0 – Vdd = -Vdd < Vtp ➔ سورس کانال دارد

T = 0 :

D : Vgd = 0 – 0 = 0 > Vtp ➔ درین کانال ندارد



در زمان صفر ترانزیستور در ناحیه ی اشباع قرار دارد

مرز بین ناحیه ی اشباع و خطی:

Vgd = Vt ➔ Vg – Vc = Vt ➔ Vc = Vg – Vt

Vc = 0 – Vtp

T = ∞ :

بعد از عبور ولتاژ خازن از Vtp- ترانزیستور به ناحیه ی خطی وارد می شود و بارخازن تا هم پتانسیل شدن با ولتاژ سورس بیشتر می‌شود

Vc (∞) = Vs

اگر به مدار فرصت کافی بدهیم، دو طرف ترانزیستور هم پتانسیل می‌شود. بنابراین با وجود روشن بودن ترانزیستور، جریانی از آن نمی گذرد

نتیجه گیری درمورد هدایت MOS

- ترانزیستورهای NMOS هدایت جریان بهتری به سمت ولتاژهای پایین دارند.
- ترانزیستورهای PMOS هدایت جریان بهتری به سمت ولتاژهای بالا دارند.

- هدایت الکتریکی بهتر ، دلیل ترجیح استفاده از NMOS در PDN و ترجیح استفاده از PMOS در PUN است.

بررسی یک حالت خاص

- اگر بدانیم ترانزیستور روشن هست و از کانال آن جریان عبور نمی کند ، می توانیم به جای حل کامل روابط ، جواب را از این روابط به دست بیاوریم.

- NMOS : $V_{out} = \min\{ V_{in} , V_g - V_t \}$
- PMOS : $V_{out} = \max\{ V_{in} , V_g - V_t \}$

- به دلیل این که ترانزیستور MOS متقارن است و جریان امکان عبور از هر دو طرف را دارد ، از کلمه های ورودی و خروجی به جای درین و سورس استفاده شده.
- ورودی به پایه ای گفته می شود که ولتاژ آن را می دانیم.

جلسه آینده...

- ✓ گیت انتقال
- ✓ PTL